

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

02836744      **\*\*Image available\*\***  
ACTIVE MATRIX SUBSTRATE

PUB. NO.:      **01-134344 [JP 1134344 A]**  
PUBLISHED:      May 26, 1989 (19890526)  
INVENTOR(s):    KATAYAMA MIKIO  
                 TANAKA HIROHISA  
                 SHIMADA YASUNORI  
                 MORIMOTO HIROSHI  
APPLICANT(s):   SHARP CORP [000504] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:      62-292468 [JP 87292468]  
FILED:           November 19, 1987 (19871119)  
INTL CLASS:      [4] G02F-001/133; G09F-009/30; H01L-021/82  
JAPIO CLASS:     29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
                 -- Other)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass  
                 Conductors)  
JOURNAL:          Section: P, Section No. 923, Vol. 13, No. 382, Pg. 143,  
                 August 24, 1989 (19890824)

#### ABSTRACT

PURPOSE: To prevent a gate bus from breaking and decreasing in resistance by forming a gate bus line in multilayered structure of conductive thin films except at the intersection part of the gate and bus line of a thin film transistor(TR) array provided in a matrix on an insulating substrate.

CONSTITUTION: A by-pass line 2 is formed in parallel to a gate bus line 1 and connected through a through hole 3 of an inter-layer insulating film to form a laminate body of thin conductor films. No by-pass part is provided to a cross part 4 where the source bus line 5 is crossed so as to decrease the number of crosses. The gate bus line 1 is a thin conductor film consisting of  $\geq 2$  layers of titanium, tantalum, etc. This constitution decreases the possibility of the breaking of a gate bus and reduces the line resistance to improve the picture quality of an active matrix display due to the breaking of the gate bus line.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平1-134344

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月26日

G 02 F 1/133  
G 09 F 9/30  
H 01 L 21/823 2 7  
3 3 87370-2H  
7335-5C  
7925-5F

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-292468

⑰ 出 願 昭62(1987)11月19日

⑱ 発 明 者 片 山 幹 雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 島 田 康 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発 明 者 森 本 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 青 山 葆 外2名

## 明 細 書

## 1. 発明の名称

アクティブマトリクス基板

## 2. 特許請求の範囲

(1) 絶縁性基板上に薄膜トランジスタアレイをマトリクス状に形成して成るアクティブマトリクス基板において、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部を除いて、該ゲートバスラインが2層以上の導電体の薄膜より形成されていることを特徴とするアクティブマトリクス基板。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は液晶等と組み合わせてアクティブマトリクス表示装置を構成するための薄膜トランジスタアレイを有するアクティブマトリクス基板に関する。

## 〔従来技術とその問題点〕

アクティブマトリクス表示装置において、線素欠陥や線状欠陥が発生することは、重大な品位不

良となる。これらの欠陥を防止するためには、アクティブマトリクス基板におけるゲートバスライン、ソースバスラインの断線、線間リークあるいは薄膜トランジスタ(以下TFTと称する)の動作不良をなくす必要がある。これらの欠陥原因としては、ホトリソグラフィプロセスあるいは薄膜形成プロセスにおけるゴミ、異物または膜の剥離がある。

以下に従来構造のTFTアクティブマトリクス基板について説明する。第24図は、TFTをそれぞれ含む線素(A<sub>00</sub>)をマトリクス状に配設したTFTアクティブマトリクス基板である。従来構造のTFTおよびバスライン、線素電極を第22図、第23図に示す。第23図は第22図におけるB-B'断面を示す図である。ガラス基板S上にゲートバスラインa、bをタンタル(Ta)で形成し、ゲート酸化膜は酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)層c、窒化シリコン(SiNx)層dの二重構造となっており、半導体層e、fは真性アモルファスシリコン(a-Si(i))であり、ソースバスラインg、

hはチタン(Ti)、ドレイン電極i、jはチタン、給素電極k、lはITO膜(酸化インジウム透明導電膜)、半導体層とソース・ドレイン電極の間には、エッチングストッパー層としての窒化シリコン層r,mおよびn<sup>+</sup>型アモルファスシリコン(a-Si(n<sup>+</sup>))層p、qが形成されている。

また、ソースバスラインgとゲートバスラインaのクロス部にはソース・ゲート間のリークを防止するため、a-Si(i)/a-Si(n<sup>+</sup>)層xおよびエッチングストッパー層nが形成されている。ここでゲートバスラインa、bのタンタルあるいはソースバスラインg、hのチタンが何らかの原因で断線した場合、従来構造のアクティブマトリクス基板においては線状欠陥が生じる。またTFTについても何らかの原因で破損すると、従来構造のアクティブマトリクス基板においては給素欠陥が生じる。

そのため、従来はこれらの欠陥を防止するため、プロセス上の対策がなされていたが、完全に防止することは困難であった。

を持たせたアモルファスシリコン(a-Si)半導体TFTアクティブマトリクス基板を示す。参照番号1、5はそれぞれゲートバスライン、ソースバスラインである。TFT1はゲートバスラインから引き出された電極13とソースバスラインから引き出された電極15とに接続されている。また参照番号14はドレイン電極であり、透明導電膜であるITO膜12に接続している。以上の基本構成は従来例と同じである。以下に本発明の各種の冗長性を持たせた部分について、①ゲートバスライン、②ソースバスライン、③給素について説明する。

#### ①ゲートバスライン

通常のゲートバスライン1と平行にバイパスライン2を設けている。この様にバイパスを設けることにより、実効的にバスラインの線幅が増加する。また、バスライン材料が剥離した場合でも、両方のバスライン1、2が同時に剥離する確率は、バスラインが一本の場合の剥離の確率よりも低くなるので、バスライン1、2のどちらかに剥離が

本発明は上記の欠点に鑑み、アクティブマトリクス基板において、ゲートバスラインの断線による線状欠陥を防止し、アクティブマトリクス表示装置の画像品位の向上を図るためのアクティブマトリクス基板の構造を提供することを目的とする。

#### 【問題点を解決するための手段】

そこで、本発明に係るアクティブマトリクス基板は、絶縁性基板上に薄膜トランジスタアレイをマトリクス状に形成して成るアクティブマトリクス基板において、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部を除いて、該ゲートバスラインが2層以上の導電体の薄膜より形成されていることを特徴とする。

#### 【作用】

本発明の構造とすれば、アクティブマトリクス基板における、ゲートバスラインの断線の発生確率が低下し、かつゲートバスラインの抵抗が低下する。

#### 【実施例】

第1図に、本発明の実施例である各種の冗長性

生じて、以上の冗長性を持たせることによりTFT全体としては欠陥のない作動性の良好なものとなる。また、第2図に示されるように、ゲートバスラインは2層の導電体薄膜であるチタン、タンタルより形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電気的に接続するためのスルーホール3が設けられている。スルーホール3を通じて各導電体間を接続することによって、ゲートバスラインの抵抗の低減にも有効になっている。また、ソースバスラインとのクロス部4は、クロス数を減らすためにバイパス部を設けていない。クロス部を増やすと、ソース・ゲート間での上下リークが発生し易くなり、かつ浮遊容量も増加してしまうからである。

#### ②ソースバスライン

通常のソースバスライン5とは別にゲートバスラインとのクロス部にはバイパスライン6を設けている。バイパスライン6を設けることで、実効的にソースライン線幅が増加する。また、ゲート

バスラインの場合と同様にソースバスライン全体の剥離の発生確率を低下させることができる。

また、第16図～第20図に詳しい断面を示すが、ソースバスラインも2層以上の導電体薄膜より形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電気的に接続するためのスルーホール9が設けられている。スルーホール9を通じて各導電体薄膜間を接続することによって、ソースバスラインの断線防止と同時にソースバスラインの抵抗低減にも有効となっている。参照番号7, 8はそれぞれソースバスラインとゲートバスラインとのリークを防止するための半導体膜である $a-Si(n^+)$ / $a-Si(i)$ 層、エッチングストッパー $SiNx$ 層である。7, 8それぞれは各クロス部において島状に分離して形成されている。これは $a-Si(n^+)$ / $a-Si(i)$ 層7、エッチングストッパー $SiNx$ 層8が剥離することによって起こるクロス部におけるソースバスラインの断線の確率を、島状に分離させるという冗長性によって低下させている。

次に、第1図のTFTアクティブマトリクス基板の製造プロセスを、第2図～第8図を参照しながら説明する。なお、以下の図に示す斜線部は、その時のプロセスにおける形成又は処理される部分を示している。

#### 〔プロセス1〕

第2図に示すように、透明な絶縁性ガラス基板50上に膜厚500Å～5000Åの tantalum を蒸着して、ホトリソグラフィプロセスにより斜線部の様にパターニングを行う。第2図において、通常のゲートバスライン1と平行にゲートバイパスライン2を設けている。また、ソースバスラインとのクロス部4ではバイパスラインは形成されていない。これは前述した様に、ソース・ゲートのクロス部を増やすと、ソース・ゲート間での上下リークが起こりやすくなり、かつ浮遊容量も増加してしまうからである。

#### 〔プロセス2〕

次に、第3図の斜線部のように、第2図のソースバスラインとなる5を除いて、つまりゲートバ

#### ③ 検査

各検査の駆動を行うTFTは、TFT11.11の様に、一つの検査に対して2個設けられる。ここでは、ゲートバスラインからソースバスラインと平行に延びたTFT接続用リードゲートライン13を介して、2個のTFTが並列に検査に接続されている。即ち、TFT11.11は同一ゲートバスラインと同一ソースバスラインに接続されている。二つのTFTにおいて同時にソースあるいはゲートの断線の発生確率を抑えるため、なるべく間隔を大きくしている。また、ドレイン電極14は、後述するように、チタンと検査電極材料ITOとを用いた2層構造となっている（第19図、第20図参照）。

以上の参照番号1, 5, 13等はソースバスライン、ゲートバスライン、ゲートバスラインからの引き出しライン等それら自身を要するのに用いたが、以下それらを構成する薄膜層をも要することとする。

#### 〔製造プロセスの説明〕

スラインを陽極酸化プロセスにより tantalum 表面を酸化して膜厚500Å～5000Åの $Ta_2O_5$ を形成する。

#### 〔プロセス3〕

そして、PCVD法によりゲート絶縁膜 $SiNx$ 層、 $a-Si(i)$ 半導体層、エッチングストッパー $SiNx$ 層をそれぞれ膜厚500Å～6000Å, 50Å～4000Å, 300Å～5000Åに形成した後、ホトリソグラフィプロセスでパターニングしてエッチングストッパー層だけを第4図の斜線部8のように形成する（第13図参照）。

#### 〔プロセス4〕

そして、PCVD法により膜厚200Å～2000Åの $a-Si(n^+)$ 層を成膜した後、第5図の斜線部7, 7で示すように、 $a-Si(n^+)$ / $a-Si(i)$ 層は島状に分離してホトリソグラフィプロセスでパターニングされる（第15図参照）。

#### 〔プロセス5〕

次に、第6図に示すように、ソースバスライン上のゲート絶縁膜である $SiNx$ 層にスルーホール

9を開ける。また、ゲートバスライン上の絶縁体層である $\text{SiNx}/\text{Ta}_2\text{O}_5$ 層にもスルーホール3を開ける。スルーホールはそれぞれ2個ずつ開けられる。これは、ホトリソグラフィプロセス不良でどちらかのスルーホールがふさがった場合のために、やはり冗長性を持たせてスルーホールの欠陥を少なくするためである(第16図、第21図参照)。

#### 【プロセス6】

続いて、チタンを膜厚が500Å～5000Åとなるようスパッタ蒸着し、第7図の斜線部のパターンのようにチタン、 $\alpha\text{-Si}(n^+)$ をエッチングする。ところで、前述のスルーホール9、3を通して【プロセス1】において形成したパターンのタンタルと、当プロセスにおいて蒸着したチタンとが、このチタン自身がスルーホール内に入り込むことで電氣的に接続される。従って、ゲートバスライン、ソースバスラインともにチタン・タンタルの上下2重構造となる(第17図、第18図参照)。

#### 【プロセス7】

一層をそれぞれ膜厚500Å～6000Å、50Å～4000Å、300Å～5000Åに形成する(第12図)。そしてホトリソグラフィプロセスで第12図におけるエッチングストッパー層を第4図に示す島状のエッチングストッパー層8に形成する(第13図)。次にPCVD法により膜厚200Å～2000Åの半導体層 $\alpha\text{-Si}(n^+)$ を成膜する(第14図)。そしてホトリソグラフィプロセスで、第12図及び第14図において形成された半導体層 $\alpha\text{-Si}(n^+)$ 、 $\alpha\text{-Si}(i)$ を同時に、第5図の島状のパターン7に形成する(第15図)。次に、ゲート酸化膜 $\text{SiNx}$ にスルーホール9を開ける(第16図)。その後、チタンを膜厚500Å～5000Åにスパッタ蒸着した(第17図)後、チタン、 $\alpha\text{-Si}(n^+)$ を、第7図に示すようにソースバスラインのパターンにホトリソグラフィプロセスで形成し(第18図)、給電電極となるITOを膜厚300Å～3000Åにスパッタ蒸着した(第19図)後、第8図の斜線部の様にパターンニングする(第20図)。

以上が、第1図のA-A'断面に関する製造

次に、給電電極材料であるITOを、膜厚300Å～3000Åにスパッタ蒸着した後、ホトリソグラフィプロセスで第8図の斜線部の様にITO膜をパターンニングする。なお、ITOは、給電電極及びTFTのドレイン電極14以外にも、ソースバスライン上やゲートバスラインの一部の上にもパターンニングされ、【プロセス6】によるチタンの断線の発生を抑制することができる。

#### 【断面図による製造プロセスの説明】

次に、本発明に係るアクティブマトリクス基板の製造プロセスを、第1図におけるA-A'断面に関して説明する。

第9図は、ガラス基板50上に、膜厚500Å～5000Åのタンタルを蒸着したところを示している。次に、第9図のタンタルを、第2図に示すパターンで断面が第10図のようにパターンニングする。そして、第3図の斜線部のごとくゲートバスラインのみを酸化して酸化膜を第11図のように形成する。そして、PCVD法によりゲート酸化膜 $\text{SiNx}$ 、半導体層 $\alpha\text{-Si}(i)$ 、エッチングストッパ

プロセスである。

最後に、参考のために、第1図のC-C'断面図を第21図に示しておく。

#### 【効果】

本発明によるアクティブマトリクス基板を用いたアクティブマトリクス液晶表示装置における線状欠陥の発生確率を低下させることが可能となる。従って、アクティブマトリクス液晶表示装置の製造歩留まりを向上させる事ができる。

#### 4. 図面の簡単な説明

第1図は、本発明に係るアクティブマトリクス基板の薄膜トランジスタの構造図である。

第2図～第8図はそれぞれ、第1図における薄膜トランジスタアレイ製造プロセスを示す図である。

第9図～第20図はそれぞれ、第1図における薄膜トランジスタアレイのA-A'線方向の製造プロセスを示す断面図である。

第21図は、第1図における薄膜トランジスタアレイのC-C'線方向の断面図である。

第22図は、従来構造の薄膜トランジスタを示す図である。

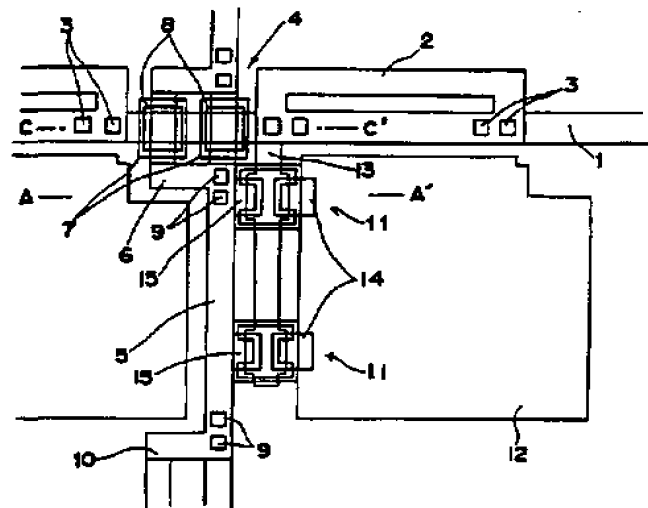
第23図は、第22図における薄膜トランジスタのB-B'線方向の断面図である。

第24図は、薄膜トランジスタを含む線素(A..)をマトリクス状に配置したアクティブマトリクス基板を示す図である。

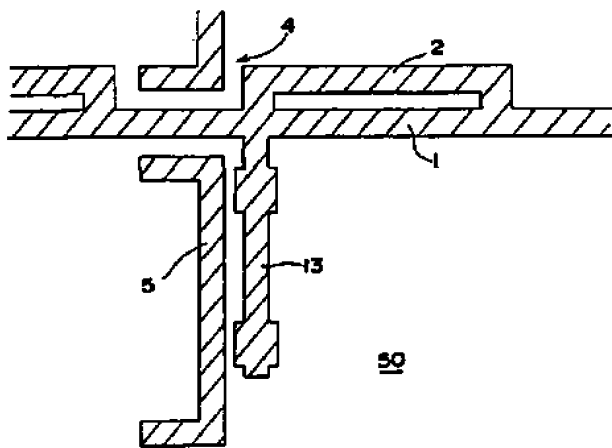
1...ゲートバスライン、4...ゲートバスラインとソースバスラインとのクロス部、  
5...ソースバスライン、11...薄膜トランジスタ、  
50...ガラス基板。

特許出願人 シャープ株式会社  
代理人 弁理士 青山 藤ほか2名

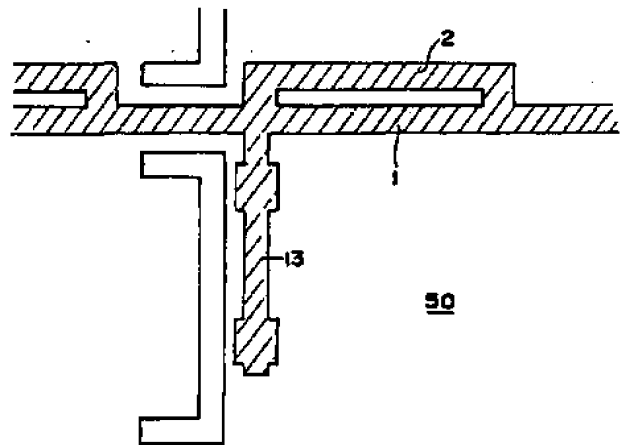
第1図



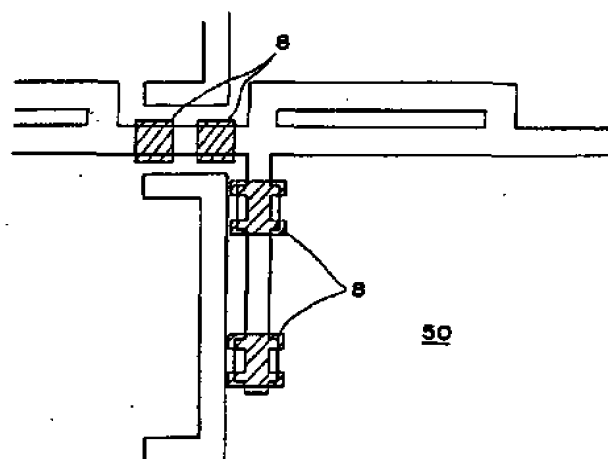
第2図



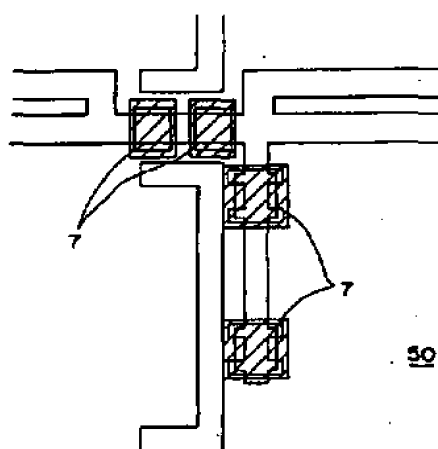
第3図



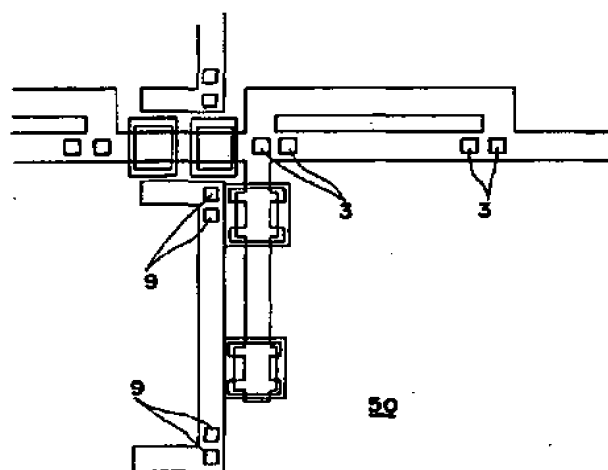
第4図



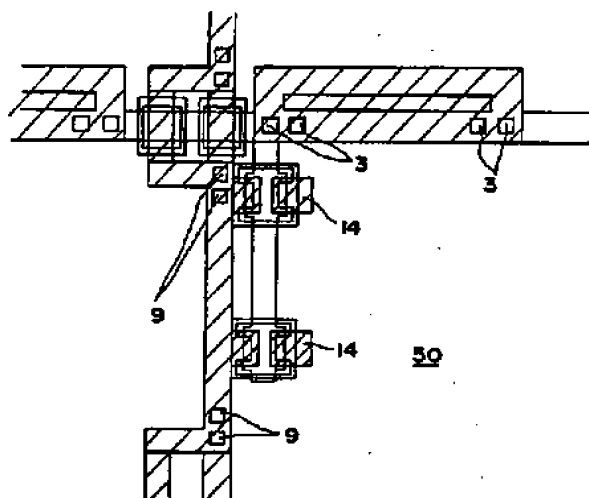
第5図



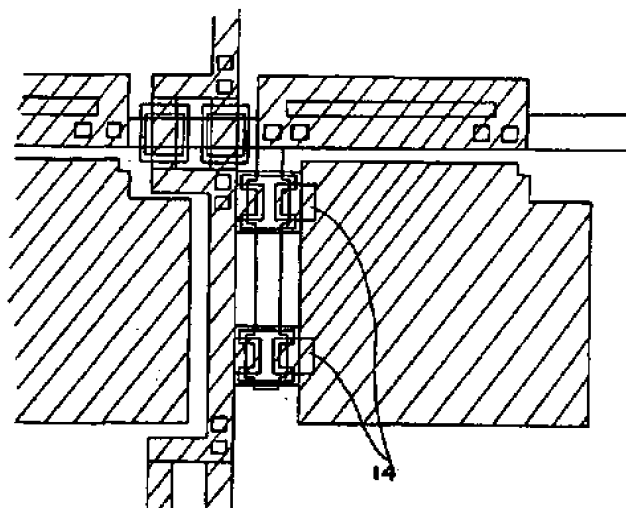
第6図



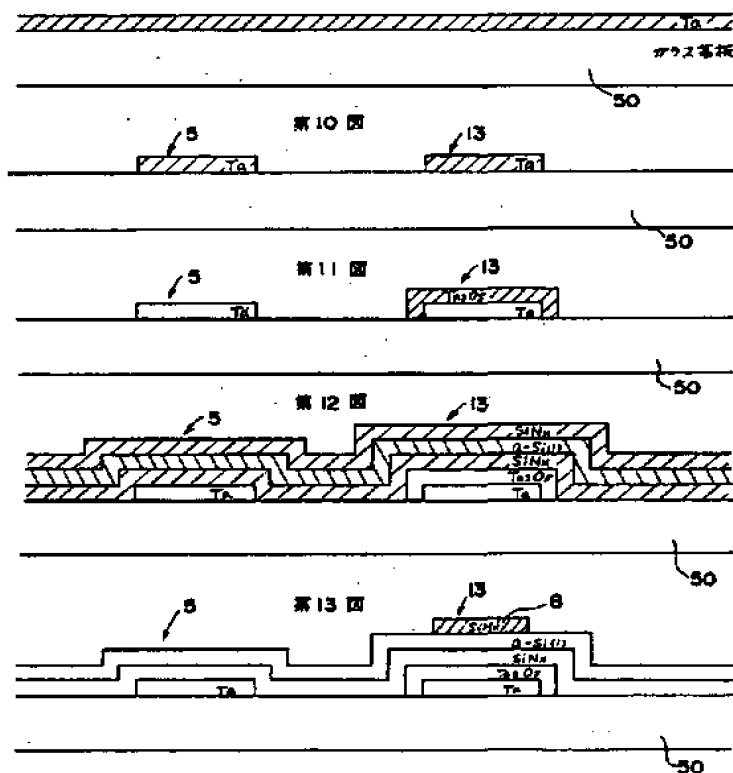
第7図



第8図

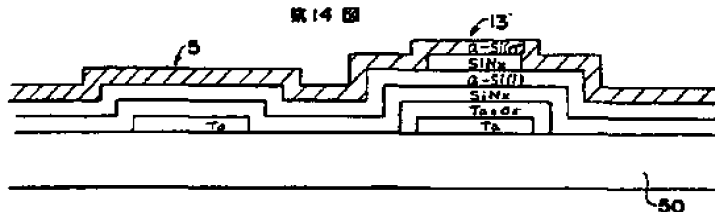


第9図

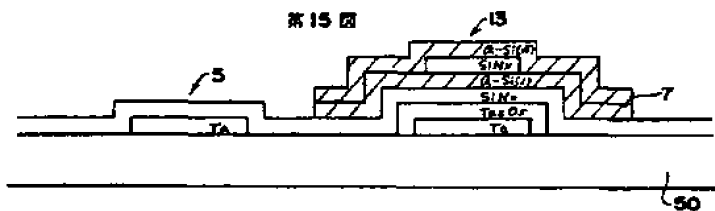




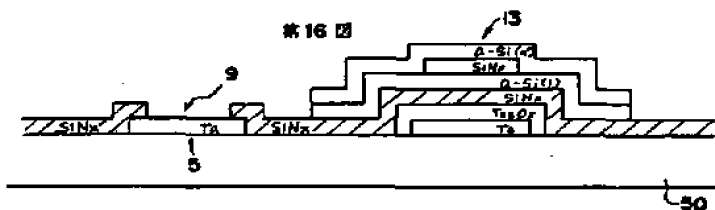
第14圖



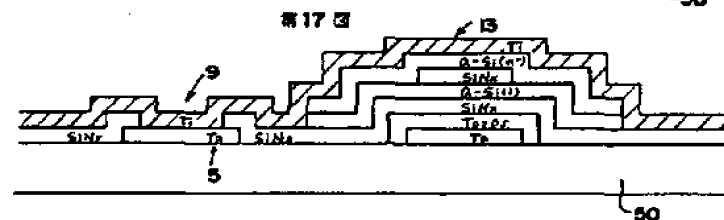
第 15 回



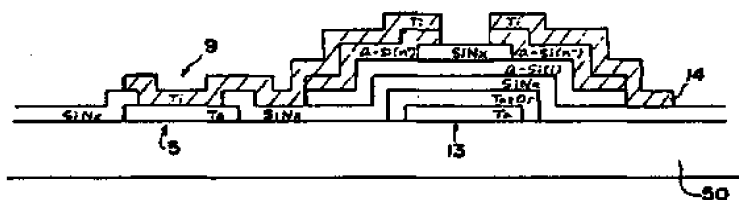
第 16 圖



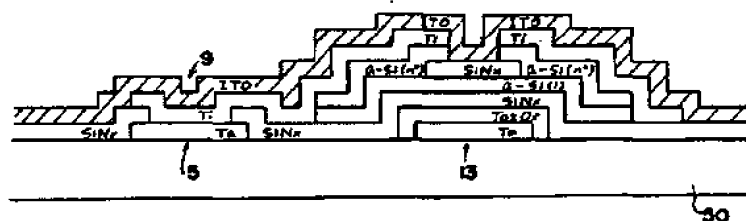
**第 17 回**



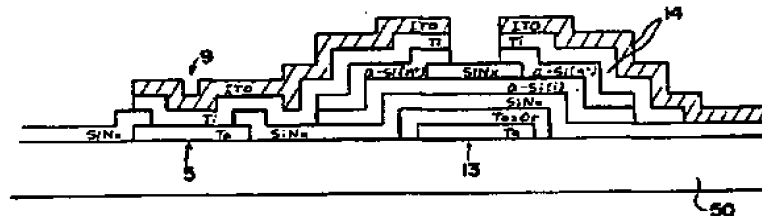
東 德 國



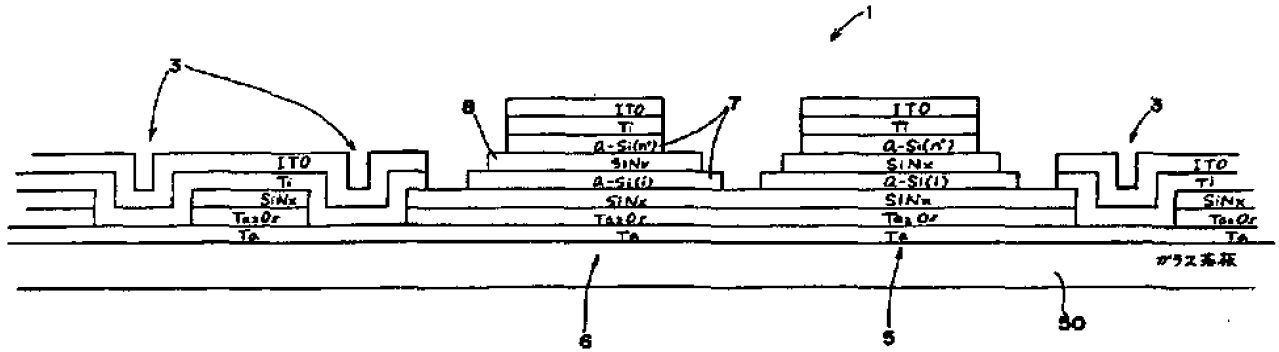
第 19 回



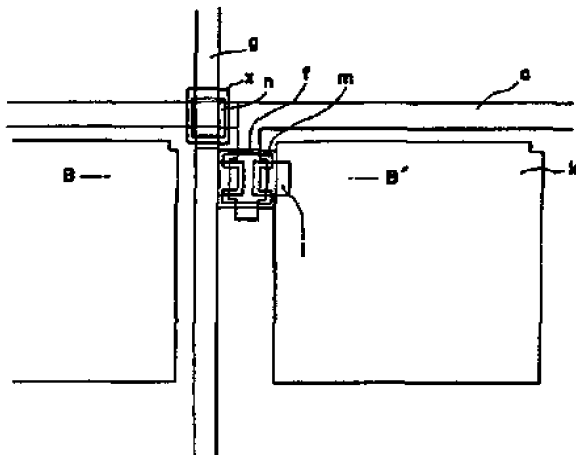
第 20 页



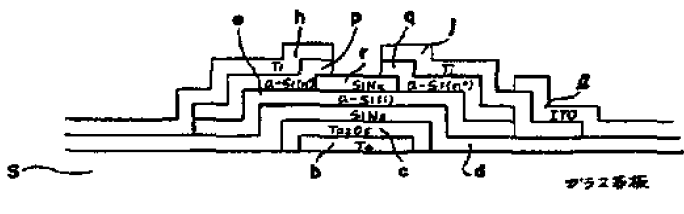
第21図



第22図



第23図



第24図

	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	...	Yn
X1	A11	A12	A13	A14	A15	A16	A17	---		A1n
X2	A21	A22	A23	A24	A25	A26	A27	---		A2n
X3	A31	A32	A33	A34	A35	A36	A37	---		A3n
X4	A41	A42	A43	A44	A45	A46	A47	---		A4n
X5	A51	A52	A53	A54	A55	A56	A57	---		A5n
X6	A61	A62	A63	A64	A65	A66	A67	---		A6n
X7	A71	A72	A73	A74	A75	A76	A77	---		A7n
X8	A81	A82	A83	A84	A85	A86	A87	---		A8n
...	...	...	...	...	...	...	...	...		...
Xm	Am1	Am2	Am3	Am4	Am5	Am6	Am7	---		Amn

19



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

11 Publication number:

0 318 224  
A2

12

# EUROPEAN PATENT APPLICATION

21 Application number: 86310967.0

61 Int. Cl.4: G02F 1/133

22 Date of filing: 21.11.88

30 Priority: 19.11.87 JP 292465/87  
19.11.87 JP 292466/87  
19.11.87 JP 292467/87  
19.11.87 JP 292468/87  
19.11.87 JP 292469/87  
21.11.88 JP 294888/87

43 Date of publication of application:  
31.05.89 Bulletin 89/22

24 Designated Contracting States:  
DE FR GB

71 Applicant: SHARP KABUSHIKI KAISHA  
22-22 Nagaike-cho Abeno-ku  
Osaka 546(JP)

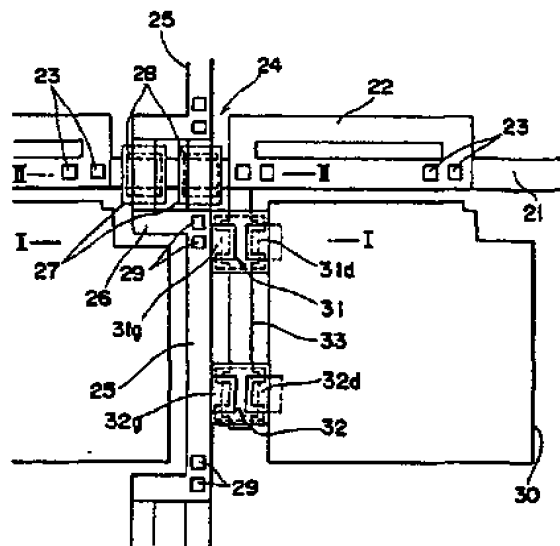
72 Inventor: Katayama, Mikio  
1879-51-704, Nishitawaraguchi-cho  
Ikoma-shi Nara(JP)  
Inventor: Tanaka, Hirohisa  
55-2, Higashiando Ando-cho  
Ikoma-gun Nara(JP)  
Inventor: Shimada, Yasunori  
2-27, Saidaiji minami-machi  
Nara-shi Nara(JP)  
Inventor: Morimoto, Hiroshi  
1-14-9, Sakuragaoka Kanmaki-cho  
Kitakatsuragi-gun Nara(JP)

74 Representative: Brown, Kenneth Richard et al  
R.G.C. Jenkins & Co. 26 Caxton Street  
London SW1H 0RJ(GB)

52 An active matrix substrate for liquid crystal display.

57 An active matrix substrate for the liquid crystal display has a switching circuit for switching on each of picture elements which is comprised of the corresponding gate bus line, source bus line and a switching transistor and the switching circuit includes at least one redundant structure for avoiding the inoperativeness of the switching circuit.

Fig.1



EP 0 318 224 A2

# United States Patent [19]

Katayama et al.

[11] Patent Number: 5,075,674

[45] Date of Patent: Dec. 24, 1991

[54] ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY

[75] Inventors: Mikio Katayama; Hirohisa Tanaka; Yasumori Shimada; Hiroshi Morimoto, all of Nara, Japan

[73] Assignee: Sharp Kabushiki Kaisha, Osaka, Japan

[21] Appl. No.: 273,251

[22] Filed: Nov. 18, 1988

[30] Foreign Application Priority Data

Nov. 19, 1987 [JP]	Japan	62-292465
Nov. 19, 1987 [JP]	Japan	62-292466
Nov. 19, 1987 [JP]	Japan	62-292467
Nov. 19, 1987 [JP]	Japan	62-292468
Nov. 19, 1987 [JP]	Japan	62-292469
Nov. 21, 1987 [JP]	Japan	62-294888

[51] Int. Cl.<sup>5</sup> G09G 3/36

[52] U.S. Cl. 340/719; 340/718; 340/784

[58] Field of Search 340/718, 719, 765, 784; 350/332, 333, 336

[56] References Cited

## U.S. PATENT DOCUMENTS

4,368,523 1/1983 Kawate 340/784

4,753,518	6/1988	Clerc	340/784
4,782,337	11/1988	Clerc et al.	340/784
4,818,991	4/1989	Gay	340/719
4,822,142	4/1989	Yasui	340/784
4,853,296	8/1989	Fukuyoshi	350/336
4,907,861	3/1990	Muto	350/336
4,930,874	6/1990	Mitsumune et al.	350/336

## FOREIGN PATENT DOCUMENTS

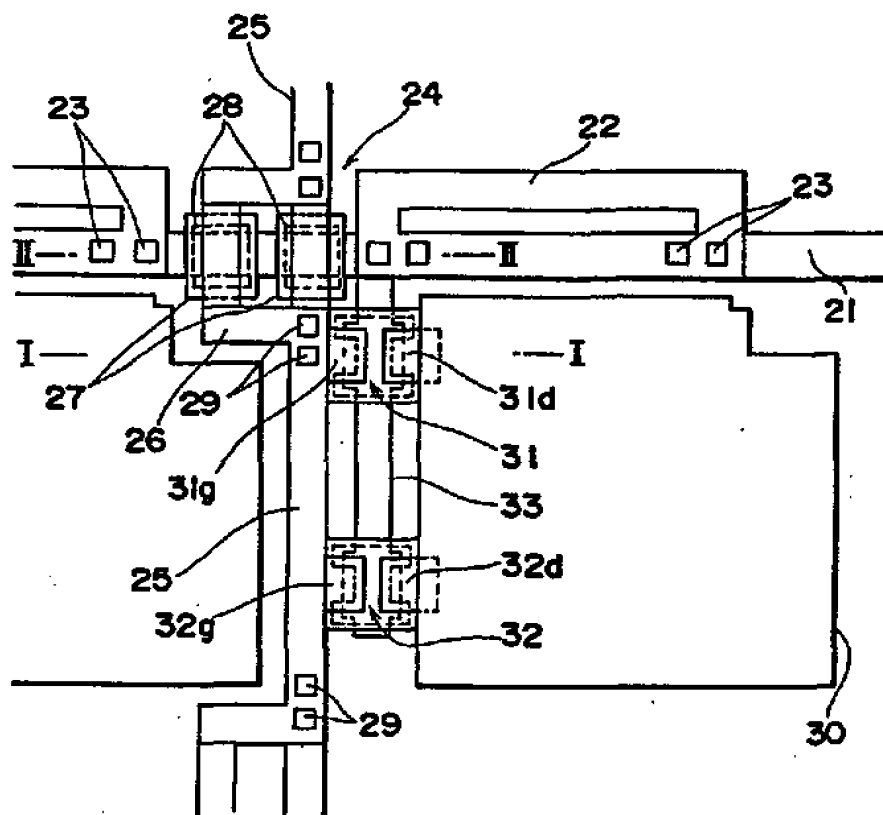
58-184182	10/1983	Japan
59-82769	5/1984	Japan
60-12770	1/1985	Japan
60-110165	6/1985	Japan
60-189970	9/1985	Japan
60-236260	11/1985	Japan
61-51972	3/1986	Japan
61-1134785	6/1986	Japan
61-188967	8/1986	Japan

Primary Examiner—Jeffery A. Brier

## [57] ABSTRACT

An active matrix substrate for the liquid crystal display has a switching circuit for switching on each of picture elements which includes a corresponding gate bus line, source bus line and a switching transistor. Further, the switching circuit includes at least one redundant structure to avoid inoperativeness of the switching circuit.

17 Claims, 11 Drawing Sheets



**Family list**

**1** family member for:

**JP4313729**

Derived from 1 application.

- 1 LIQUID CRYSTAL DISPLAY DEVICE**  
Publication Info: **JP4313729 A** - 1992-11-05

---

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

009291711 \*\*Image available\*\*

WPI Acc No: 1992-419120/199251

XRPX Acc No: N92-319610

**Liquid crystal display using thin film transistor array substrate - forms gate electrodes and source electrodes in one layer while forming source-drain electrodes and gate electrode wiring in other layer**

**NoAbstract**

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4313729	A	19921105	JP 9176069	A	19910409	199251 B

Priority Applications (No Type Date): JP 9176069 A 19910409

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4313729	A	6	G02F-001/1343	

Title Terms: LIQUID; CRYSTAL; DISPLAY; THIN; FILM; TRANSISTOR; ARRAY;  
SUBSTRATE; FORM; GATE; ELECTRODE; SOURCE; ELECTRODE; ONE; LAYER;  
FORMING;

SOURCE; DRAIN; ELECTRODE; GATE; ELECTRODE; WIRE; LAYER;

NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1343

International Patent Class (Additional): G02F-001/136; H01L-021/336;  
H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

03948629     \*\*Image available\*\*  
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:     04-313729 [JP 4313729 A]  
PUBLISHED:     November 05, 1992 (19921105)  
INVENTOR(s):   KAWAMOTO AKIRA  
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or  
Corporation), JP (Japan)  
APPL. NO.:     03-076069 [JP 9176069]  
FILED:     April 09, 1991 (19910409)  
INTL CLASS:     [5] G02F-001/1343; G02F-001/136; H01L-027/12; H01L-021/336;  
H01L-029/784  
JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
MATERIALS -- Glass Conductors)  
JOURNAL:     Section: P, Section No. 1505, Vol. 17, No. 138, Pg. 149,  
March 22, 1993 (19930322)

#### ABSTRACT

PURPOSE: To obtain the liquid crystal display device lowered in the resistance of a gate wiring without adding the gate wirign by one layer.

CONSTITUTION: The display device constitutes a characteristic feature of forming gate electrodes 2A, 3A and a source electrode wiring 1 by the one layer, forming a source electrode 1A, a drain electrode 8 and gate electrode wirings 2, 3 by the different one layer, and connecting the gate electrodes 2A, 3A and the gate electrode wirings 2, 3, and the source electrode 1A and the source electrode wiring 1 through contact holes 23-27, respectively. By using a low resistance material for the gate electrode wirings 2, 3, the resistance of a gate wiring can be lowered.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-313729

(43) 公開日 平成4年(1992)11月5日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1343		9018-2K		
1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
21/336		9056-4M		
			H 0 1 L 29/ 78	3 1 1 P

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-76069

(22) 出願日 平成3年(1991)4月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川元 暁

兵庫県尼崎市塚口本町8丁目1番1号 三

菱電機株式会社材料研究所内

(74) 代理人 弁理士 高田 守 (外1名)

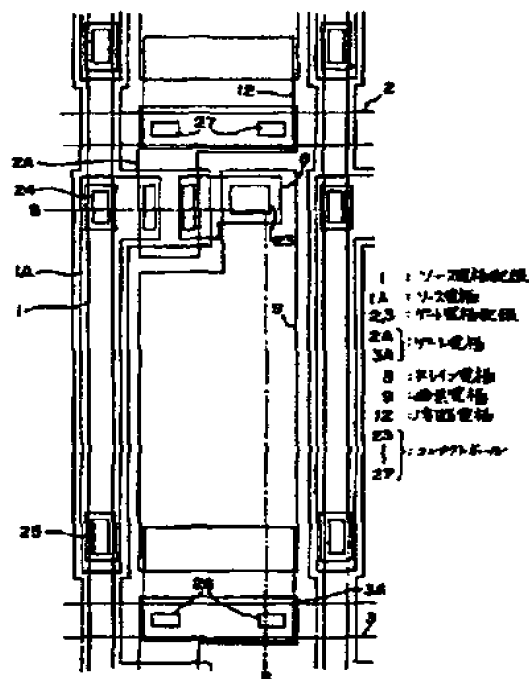
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ゲート配線を一層追加することなく、ゲート配線を低抵抗化した液晶表示装置を得る。

【構成】 ゲート電極とソース電極配線を同一層にて形成し、ソース電極とドレイン電極とゲート電極配線とを別の同一層にて形成し、ゲート電極とゲート電極配線およびソース電極とソース電極配線をそれぞれコンタクトホールを介して接続することを特徴としている。

【効果】 ゲート電極配線に低抵抗材料を使用し、ゲート配線を低抵抗化できる。





(2)

(2)

2

【特許請求の範囲】

【請求項1】 透明絶縁基板上にソース電極配線と並設され各画素ごとにソース電極配線と接続された複数のゲート電極と、このゲート電極に交差する複数のソース電極と、ソースドレイン電極と並設されソース電極と各画素ごとに接続されたゲート電極配線と、上記ゲート電極と上記ソース電極との交差部に設けられ上記ゲート電極とソース・ドレイン電極とからなる薄膜トランジスタのゲート電極に接続された画素電極とを有する薄膜トランジスタアレイ基板と、この薄膜トランジスタアレイ基板に対向して設けられた対向電極基板と、この対向電極基板と上記薄膜トランジスタアレイ基板の間に挟持される液晶表示材料とを備えた液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、TFT (Thin Film Transistor: 薄膜トランジスタ) アレイ基板を用いた液晶表示装置において、高品質化するためにゲート配線を低抵抗化を可能とする配線構成を備えた液晶表示装置に関するものである。

【0002】

【従来の技術】 液晶表示装置は、通常2枚の対向する基板の間に液晶等の表示材料が挟持され、この表示材料に電圧を印加する方法で構成される。この際、少なくとも一方の基板にマトリクス状に配列した画素電極を設け、画素を選択的に動作するために、各画素ごとに電界効果トランジスタ (FET) などの非線形特性を有する能動素子を設けている。さらに、画質を向上するために、各画素ごとに電荷保持容量を設けている。

【0003】 図6は、例えば、特開昭64-26822号公報に示された従来の液晶表示装置に用いられていたTFTアレイ基板の一面素分を示す平面図、図7は、図6のA-A線に沿って切断して示す断面図、図8は、図6の等価回路図である。

【0004】 この図6～図8において、1はソース電極配線、2は透明絶縁基板14上に形成されたゲート電極配線、3は透明絶縁基板14に形成された次段のゲート電極配線、4はゲート絶縁膜、5は水素化アモルファスシリコン1層、7は水素化アモルファスシリコンn層、8はドレイン電極、9は画素電極、10は保護膜、18は電荷保持容量、19はAlのゲート配線、35は液晶、38は対向電極である。

【0005】 図6、図7の構成は、まず透明絶縁基板14上にCrでゲート電極配線2、ゲート電極配線3を形成する。さらに、ゲート電極配線3上にAlのゲート配線19を形成する。

【0006】 その後、ゲート絶縁膜4の形成後、その上に半導体膜5を形成するとともに、ソース電極配線1とドレイン電極8によりTFTを構成し、このTFTと画素電極9によりTFTアレイを構成する。

【0007】 前後のゲート電極配線3は、走査された時以外は、一定電位になることを利用して、前段のゲート電極配線3と画素電極9とをゲート絶縁膜4を挟持するようにオーバーラップさせて、電荷保持容量18を形成する。

【0008】 これらのTFTアレイ基板に対して、カラーフィルタや透明導電膜を有する対向電極基板の間に液晶等が挟持されて液晶表示装置を構成する。

【0009】

10 【発明が解決しようとする課題】 従来の液晶表示装置は以上のように構成されているので、ゲート配線の低抵抗化のためにゲート配線を二層追加して形成するので、工程数が多くなり、コストが高くなる上に、歩留りが低下するという課題があった。

【0010】 この発明は、上記のような従来の課題を解消するためになされたもので、層構成を増加することなく配線抵抗を低くすることができるとともに、コストの抑制効果と歩留りの向上が期待できる液晶表示装置を得ることを目的とする。

20 【0011】

【課題を解決するための手段】 この発明に係る液晶表示装置は、同一層に形成されたゲート電極およびソース電極配線と、別の同一層に形成されたソースドレイン電極およびゲート電極配線とを設けたものである。

【0012】

【作用】 この発明におけるゲート電極配線は、ソース・ドレイン電極材料により形成されるので、AlやAl合金などの低い比抵抗の材料を使用することができ、ゲート配線を低抵抗化可能とする。

30 【0013】

【実施例】 以下、この発明の実施例について図面に基づき説明する。図1はその一実施例による液晶表示装置のTFTアレイ基板の一面素分を示す平面図、図2は、図1のB-B線に沿って切断して示す断面図、図3は、図1の等価回路図である。

【0014】 図1～図3において、図6～図8の同一符号は同一または相当部分を示す。この図1～図3において、1は透明絶縁基板14上に形成された誘電体膜13上のソース電極配線であり、ソース電極1Aと接続されている。

40 【0015】 上記誘電体膜13上には、ゲート電極2Aが形成されており、このゲート電極2Aはゲート電極配線2に接続されている。誘電体膜13上には、次段あるいは前段のゲート電極3Aが形成されており、ゲート電極3A上にゲート電極配線3が接続されている。

50 【0016】 また、誘電体膜13上に画素電極9が形成されており、画素電極9はドレイン電極8に接続されている。これらのソース電極配線1、ゲート電極2A、画素電極9、次段あるいは前段のゲート電極3Aおよび誘電体膜13上には、ゲート絶縁膜4が形成されており、

このゲート絶縁膜4上に半導体1層5が形成されており、その上面に上部絶縁膜6が形成されている。上部絶縁膜6をパターン化した後に半導体n層7が形成されている。

【0017】これらのゲート絶縁膜4、半導体1層5、上部絶縁膜6を開口して、コンタクトホール23～27が形成されている。

【0018】コンタクトホール23を通して、画素電極9とドレイン電極8が接続され、コンタクトホール24を通して、ソース電極配線1とソース電極1Aとが接続されている。コンタクトホール27を通して図1からも明らかなように、ゲート電極配線2とゲート電極2Aが接続されている。上面には保護膜10が形成されている。

【0019】なお、12は透明絶縁基板14上の浮遊電極であり、また図3に示す15はTFT、16はゲート・ドレイン間寄生容量、21、22は電荷保持容量、35は液晶、38は対向電極である。

【0020】次に、この発明の一実施例の製造工程手順について述べる。まず、ガラスなどの透明絶縁基板14上にITOなどの透明導電膜をEB (Electron Beam) 蒸着法やスパッタ法などで堆積する。この後、ホトリソ・エッチング等の方法で、アイランド状に浮遊電極12を形成する。

【0021】次に、プラズマCVD法やスパッタ法などで窒化シリコンあるいは、酸化シリコンあるいは、酸化タンタルあるいは、それらのいずれか2層以上の誘電体膜13を形成する。

【0022】この後、スパッタ法などにより、ITOなどの透明導電薄膜を形成する。その後、ホトリソ・エッチングなどで、この透明導電薄膜による画素電極9を形成する。このとき、浮遊電極12と画素電極9とにより、誘電体膜13を挟持しながらオーバーラップさせて、電荷保持容量21を形成する。

【0023】次に、スパッタ法などで、誘電体膜13上にCrあるいは、Moなどの金属を堆積する。この後、ホトリソ・エッチングなどで、ゲート電極2A、前段あるいは次段のゲート電極3A、ソース電極1Aを形成する。このとき、浮遊電極12とゲート電極3Aとを誘電体膜13を挟持しながらオーバーラップさせることで、電荷保持容量22を形成する。

【0024】次に、窒化シリコンなどのゲート絶縁膜4および水素化アモルファスシリコン1層などの半導体1層5および上部絶縁膜6を連続してプラズマCVD法などにより堆積する。

【0025】その後、上部絶縁膜6をパターン加工する。次に、水素化アモルファスシリコンn<sup>+</sup>層などの半導体n<sup>+</sup>層7をプラズマCVD法などで形成した後、パターン加工により、画素電極9とドレイン電極8とのコンタクトホール23、ソース電極配線1とソース電極1A

とのコンタクトホール24、ゲート電極2Aとゲート電極配線2とのコンタクトホール27を形成する。

【0026】次いで、CrなどのバリアメタルとAl、Moなどの導電性薄膜をスパッタ法などで堆積し、ソース電極1Aとドレイン電極8にパターン加工する。

【0027】さらに、不要な半導体n<sup>+</sup>層7および、半導体1層5をドライエッチングなどでエッチオフし、最後に窒化シリコン膜あるいは、酸化シリコン膜あるいは、5酸化タンタルなどをプラズマCVD法やスパッタ法などで堆積し、パターン加工して保護膜10とする。

【0028】このように形成されたTFTアレイ基板と、透明電極およびカラーフィルタなどを有する対向電極基板との間に液晶35などの液晶表示材料が挟持され、液晶表示装置が製造される。

【0029】なお、上記実施例では、浮遊電極12として透明導電膜を用いた場合について説明したが、表示上差し支えなければ、金属膜などの不透明導電膜を用いてもよい。

【0030】また、上記実施例では、TFT構成に上部絶縁膜6を用いた場合について示したが、図4の平面図、図5 (図4のC-C線の断面図) に示したTFT構成に上部絶縁膜を用いないTFT構成であってもよい。

【0031】なお、図5に示す17はTFT構成上の保護膜10上に形成された遮光膜である。

【0032】

【発明の効果】以上のように、この発明によれば、ゲート電極とソース配線を同一層にて形成するとともに、ソース電極・ドレイン電極とゲート電極配線とを別の同一層にて形成し、ゲート電極とゲート電極配線2ならびにソース電極とソース電極配線1をそれぞれコンタクトホールを介して接続する構成としたので、ソース・ドレイン電極材料によってゲート配線を形成できる。

【0033】したがって、ソース・ドレイン電極材料にAlなどの低抵抗材料を用いることによって、ゲート電極配線の抵抗を小さくすることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例による液晶表示装置のTFTアレイ基板の1画素分を示す平面図である。

【図2】図1のB-B線に沿って切断して示す断面図である。

【図3】図1の等価回路図である。

【図4】この発明の他の実施例の液晶表示装置のTFTアレイ基板の1画素分を示す平面図である。

【図5】図4のC-C線に沿って切断して示す断面図である。

【図6】従来の液晶表示装置に用いられていたTFTアレイ基板の1画素分を示す平面図である。

【図7】図6のA-A線に沿って切断して示す断面図である。

5

【図8】図6の等価回路図である。

【符号の説明】

- 1 ソース電極配線
- 1A ソース電極
- 2, 3 ゲート電極配線
- 2A, 3A ゲート電極
- 4 ゲート絶縁膜
- 5 半導体i層
- 6 上部絶縁膜
- 7 半導体n<sup>+</sup>層
- 8 ドレイン電極
- 9 画素電極

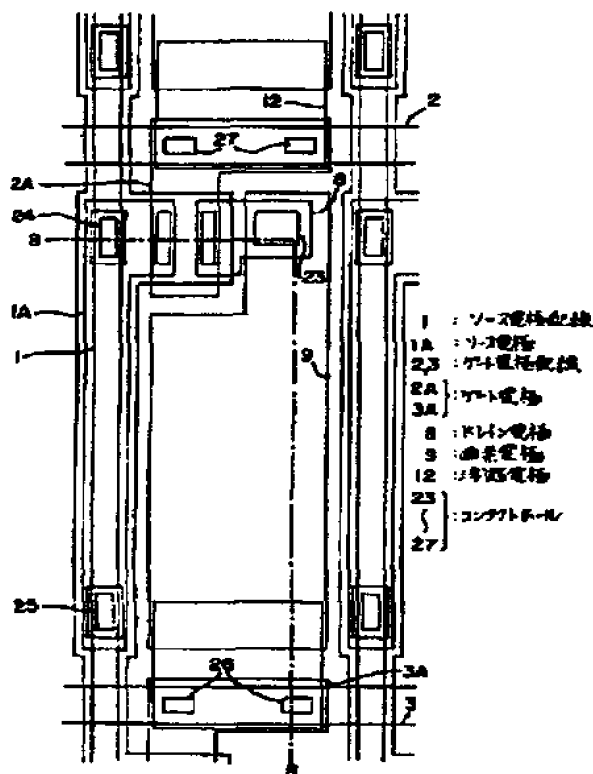
(4)

(4)

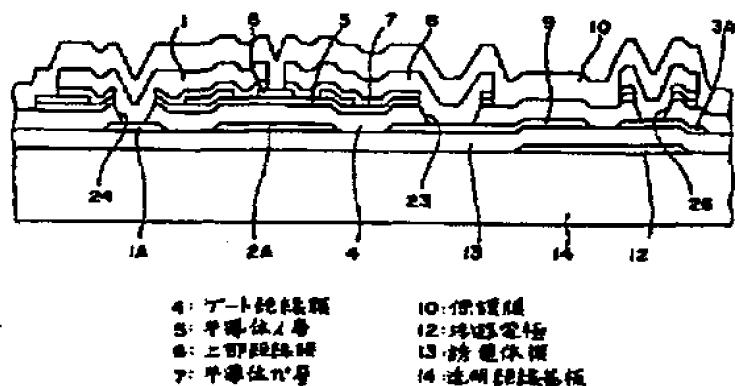
6

- 10 保護膜
- 12 浮遊電極
- 13 誘電体膜
- 14 透明絶縁基板
- 15 TFT
- 16 寄生容量
- 17 遮光膜
- 21, 22 電荷保持容量
- 23~27 コンタクトホール
- 35 液晶
- 38 対向電極

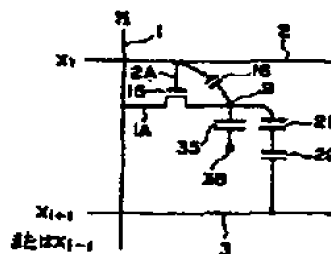
【図1】



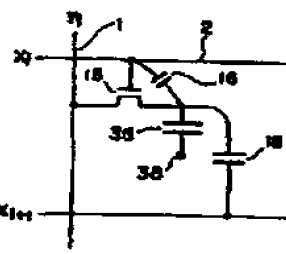
【図2】



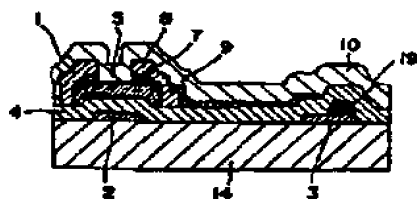
【図3】



【図8】



【図7】



- 15: TFT
- 16: 寄生容量
- 35: 液晶
- 38: 対向電極
- 21, 22: 電荷保持容量



(6)

特開平 4-313729

と上記ソース電極との交差部に設けられ上記ゲート電極とソース・ドレイン電極とからなる薄膜トランジスタの  
上記ドレイン電極に接続された画素電極とを有する薄膜  
トランジスタアレイ基板と、この薄膜トランジスタア  
レイ基板に対向して設けられた対向電極基板と、この対向  
電極基板と上記薄膜トランジスタアレイ基板の間に挟持  
される液晶表示材料とを備えた液晶表示装置、

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】次に、この発明の一実施例の製造工程手順  
について述べる。まず、ガラスなどの透明絶縁基板 1 4  
上に ITO などの透明導電膜を EB (Electron Beam) 蒸  
着法やスパッタ法などで堆積する。この後、写真製版・  
エッチング等の方法で、アイランド状に浮遊電極 1 2 を  
形成する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】この後、スパッタ法などにより、ITO な  
どの透明導電薄膜を形成する。その後、写真製版・エッ

(6)

チングなどで、この透明導電薄膜による画素電極 9 を形  
成する。このとき、浮遊電極 1 2 と画素電極 9 とによ  
り、誘電体膜 1 3 を挟持しながらオーバーラップさせ  
て、電荷保持容量 2 1 を形成する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】次に、スパッタ法などで、誘電体膜 1 3 上  
に Cr あるいは、Mo などの金属を堆積する。この後、  
写真製版・エッチングなどで、ゲート電極 2 A、前段あ  
るいは次段のゲート電極 3 A、ソース電極配線 1を形成  
する。このとき、浮遊電極 1 2 とゲート電極 3 A とを誘  
電体膜 1 3 を挟持しながらオーバーラップさせること  
で、電荷保持容量 2 2 を形成する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】次いで、Cr などのバリアメタルと Al、  
Mo などの導電性薄膜をスパッタ法などで堆積し、ゲー  
ト電極配線 2、3 とソース電極 1 A とドレイン電極 8 に  
パターン加工する。

フロントページの続き

(51) Int. Cl. 4

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 29/784

**Family list**

**2** family member for:

**JP5053127**

Derived from 1 application.

**1 ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE**

Publication info: **JP2776084B2 B2** - 1998-07-16

**JP5053127 A** - 1993-03-05

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11046694

Basic Patent (No,Kind,Date): JP 5053127 A2 930305 <No. of Patents: 002>

**ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE** (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KOBAYASHI KEIZO

IPC: \*G02F-001/1343; G02F-001/133; G09F-009/30

JAPIO Reference No: 170360P000033

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 5053127</b>	A2	930305	JP 91236997	A	910823 (BASIC)
JP 2776084	B2	980716	JP 91236997	A	910823

Priority Data (No,Kind,Date):

JP 91236997 A 910823

DIALOG(R)File 347:JAPIO  
 (c) 2004 JPO & JAPIO. All rts. reserv.

04061427 \*\*Image available\*\*  
ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

**PUB. NO.:** 05-053127 [JP 5053127 A]  
**PUBLISHED:** March 05, 1993 (19930305)  
**INVENTOR(s):** KOBAYASHI KEIZO  
**APPLICANT(s):** NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)  
**APPL. NO.:** 03-236997 [JP 91236997]  
**FILED:** August 23, 1991 (19910823)  
**INTL CLASS:** [5] G02F-001/1343; G02F-001/133; G09F-009/30  
**JAPIO CLASS:** 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9  
(COMMUNICATION -- Other)  
**JAPIO KEYWORD:** R011 (LIQUID CRYSTALS)  
**JOURNAL:** Section: P, Section No. 1569, Vol. 17, No. 360, Pg. 33, July  
07, 1993 (19930707)

## ABSTRACT

**PURPOSE:** To curtail short circuit and disconnection accidents in a leader wiring part for connecting a signal line and a scanning line, and a connecting pad in an element array part, of a TFT substrate.

**CONSTITUTION:** A signal line connected to a source and a drain in an element, array part, is formed by using a second layer wiring 4, and a scanning line connected to a gate is formed by using a first layer wiring 2. On the other hand, a connecting pad connected to an external circuit is formed by using a second layer wiring. As for a leader wiring for connecting the signal line and the connecting pad in the element, array pad, that which is formed by using a first layer wiring 2 and that which is formed by using a second layer wiring 4 are placed alternately. In the same way, as for a leader wiring for the scanning line, that which is formed by using a first layer wiring 2 and that which is formed by using a second layer wiring 4 are placed alternately.



特開平5-53127

(43) 公開日 平成5年(1993)3月5日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
G02F 1/1343	9018-2K	
1/133	550	7820-2K
G09F 9/30	338	7926-5G

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号 特願平3-236997

(22) 出願日 平成3年(1991)8月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 敬三

東京都港区芝五丁目7番1号 日本電気株式会社内

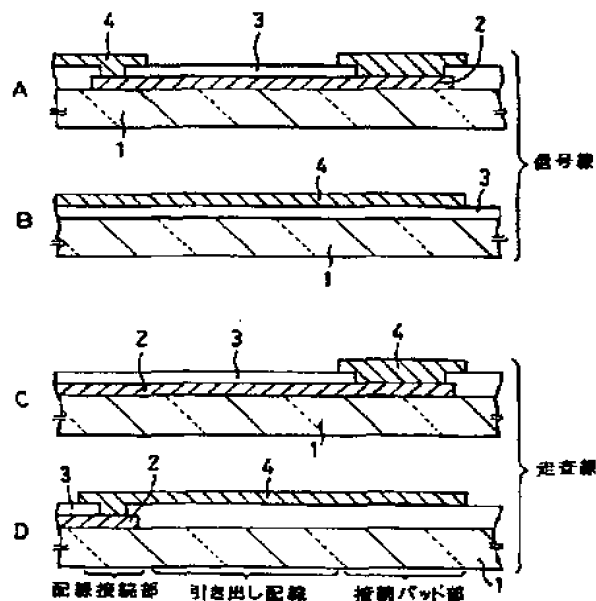
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 アクティブマトリックス液晶表示装置

(57) 【要約】

【目的】 TFT基板の素子アレイ部の信号線や走査線と接続パッド間を接続する引き出し配線部での短絡・断線事故を削減する。

【構成】 素子アレイ部でソース・ドレインと接続される信号線は第2層配線4を用いて形成され、ゲートと接続される走査線は第1層配線2を用いて形成される。一方、外部回路と接続される接続パッドは第2層配線を用いて形成される。素子アレイ部の信号線と接続パッドとを接続する引き出し配線に関しては、Aに示す第1層配線2を用いて形成したものとBに示す第2層配線4を用いて形成したものとを交互に配置する。同様に走査線用の引き出し配線に関しては、Cに示す第1層配線2を用いて形成したものと、Dに示す第2層配線4を用いて形成したものとが交互に配置される。



1- ガラス基板  
2- 第1層配線  
3- ゲート絶縁膜  
4- 第2層配線

## 【特許請求の範囲】

【請求項 1】 第 1 層配線により構成された互いに平行な複数の第 1 の配線と、

第 2 層配線により構成された、前記第 1 の配線とは直交する方向に延びる複数の第 2 の配線と、

外部回路に接続される接続パッドと、

前記第 1 の配線および前記第 2 の配線と前記接続パッドとの間を接続する引き出し配線と、

を具備するアクティブマトリックス液晶表示装置において、

前記第 1 の配線と接続される引き出し配線と前記第 2 の配線と接続される引き出し配線のうち少なくとも一方は、第 1 層配線または第 2 層配線によって形成されかつ隣接する引き出し配線とは異なる層の配線によって形成されていることを特徴とするアクティブマトリックス液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス液晶表示装置に関し、特に画素電極基板における引き出し配線部での金属配線の構造に関する。

## 【0002】

【従来の技術】 アクティブマトリックス液晶表示装置は、TFT等の素子が形成されている画素電極基板と、必要に応じてカラーフィルタが形成される共通電極基板とを有する。画素電極基板の素子アレイ部には走査線とこれと直交する信号線とが延在しており、これら各配線は引き出し配線を介して基板周辺部に設けられた接続パッドと接続される。

【0003】 図 3 は、引き出し配線部の接続状態を示す平面図である。同図において、11は走査線または信号線である素子アレイ部配線、12は配線接続部、13は引き出し配線、14は外部に設けられた駆動回路と接続される接続パッドである。

【0004】 この引き出し配線部付近の従来の各種構造を、断面図にて図 4 に示す。これらはいずれも逆スタガード型TFTを用いた場合の例であって、第 1 層配線をゲート電極に接続される走査線として用い、第 2 層配線をソース・ドレイン電極に接続される信号線として用いている。一方、接続パッドは通常第 2 層配線を用いて形成される。

【0005】 図 4 において、1はガラス基板、2は第 1 層配線、3は、ゲート絶縁膜と同時に形成された絶縁膜（以下、便宜上ゲート絶縁膜と記す）、4は第 2 層配線である。

【0006】 図 4 の（a）に示す第 1 の従来例では、信号線に関しては素子アレイ部の信号線、引き出し配線および接続パッドのすべてが第 2 層配線により形成され、走査線については素子アレイ部の走査線および引き出し配線とが第 1 層配線により、また接続パッドが第 2 層配

線により形成されている。

【0007】 図 4 の（b）に示す第 2 の従来例は、上記第 1 の従来例の接続配線部での断線不良をなくすべく改良を加えたものであって、この従来例では、接続配線部での配線が第 1 層配線 2 と第 2 層配線 4 との 2 層構造となっている。

【0008】 図 4 の（c）に示す第 3 の従来例は、引き出し配線を成膜およびエッチングが比較的安定して行われる第 1 層配線を用いて形成することにより断線・短絡不良を削減しようとしたものである。

## 【0009】

【発明が解決しようとする課題】 上述した従来の引き出し配線構造では、断線・短絡等の不良を発生し易いという問題点があった。これは、引き出し配線が、図 3 に模式的に示したように斜めの配線を使うため、最小線間隔が狭くなること、引き出し配線の配線長が数mmから数十mm程度と比較的長くなること、引き出し配線部と素子アレイ部とでは下地構造が異なっているため、特にドライ法で配線をバタニングする際にそれぞれの領域でのエッチング速度が異なり終点の設定が難しいこと等の理由による。

【0010】 即ち、図 4 の（a）に示す従来例では、信号線、走査線のいずれについても断線・短絡が発生しやすく、また第 2 の従来例では、断線不良は削減されるが短絡不良が増加する。一方、図 4 の（c）の例は第 1 の従来例と基本的に異なるものではないため、第 1 の従来例と同程度に不良が発生する。

## 【0011】

【課題を解決するための手段】 本発明のアクティブマトリックス液晶表示装置における画素電極基板では、素子アレイ部での配線と接続パッドとの間を接続する引き出し配線が、第 1 層配線と第 2 層配線とを一本おきに交互に用いて構成されている。

## 【0012】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図 1 は、本発明の第 1 の実施例を示す断面図である。本実施例は逆スタガード型TFTを用いた例に関する。

【0013】 Aに示された接続方法では、素子アレイ部の信号線は第 1 層配線 2 を用いた引き出し配線を介して接続パッドと接続されている。また B に示された接続方法では、素子アレイ部の信号線は第 2 層配線 4 を用いた引き出し配線を介して接続パッドと接続されている。そして、本実施例においては A、B に示された引き出し配線が 1 本おきに交互に配置されている。

【0014】 一方、走査線においては、第 1 層配線 2 により形成された素子アレイ部の走査線は C に示すように、第 1 層配線 2 による引き出し配線を介して接続パッドと接続され、あるいは D に示すように第 2 層配線 4 による引き出し配線を介して接続パッドと接続されてい

る。そして、走査線においても、Cに示すものとDに示すものとは1本おきに交互に配置される。

【0015】信号線および走査線に関して、引き出し配線は第1層配線と第2層配線とが交互に用いられており、隣接する引き出し配線は異なる層内に存在しているため短絡事故の発生は大きく削減される。また、同一面内では引き出し配線間のピッチが従来例の2倍となっているため、配線の線幅を十分に大きく設定することができる。

【0016】なお、本実施例における各配線は、素子アレイ部のTFTを形成する際に同時に形成されるものであるため、本実施例により工程数が増加することはない。

【0017】図2は本発明の第2の実施例を示す引き出し配線部付近の断面図である。本実施例はTFTが順スタガード型である場合に関する。順スタガード型のTFTでは、ソース・ドレイン電極に接続される信号線が第1層配線を用いて形成され、また、ゲート電極に接続される走査線が第2層配線を用いて形成される。

【0018】本実施例は、TFTが順スタガード型となったことに応じた変更を第1の実施例に加えたものである。第1の実施例と同様に、信号線に関しては、第1層配線2により形成された引き出し配線（Aに示す）と、第2層配線4により形成された引き出し配線（Bに示す）とが、1本おきに交互に配置され、走査線に関しては、第1層配線2により形成された引き出し配線（Cに示す）と、第2層配線4により形成された引き出し配線（Dに示す）とが、1本おきに交互に配置されている。

【0019】以上の実施例では、信号線および走査線の双方に関して引き出し配線の交互配置を採用していた

が、通常は信号線の方が配線数が多く短絡・断線不良を起こし易い。それゆえ走査線に関しては従来構造とし、信号線のみ交互配置を実施するようにしてもよい。勿論走査線側において不良が発生しやすい場合には走査線に関してのみ交互配置を採用するようにすることができる。また、本発明はTFTを用いたものばかりでなく、他のスイッチング素子を用いた液晶表示装置に対しても適用しうるものである。

【0020】

【発明の効果】以上説明したように、本発明は、液晶表示装置の画素電極基板において、信号線や走査線と接続パッドとの間を接続する引き出し配線を、第1層配線と第2層配線とを交互に用いて形成したものであるため、本発明によれば、隣接した引き出し配線が同一層内に存在することがなくなり短絡事故が大幅に削減される。

【0021】さらに、引き出し配線のピッチが従来例の2倍となるので、短絡事故が発生しない範囲で配線幅を十分に大きくできる。従って、本発明によれば、引き出し配線の断線事故を激減させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す画素電極基板の断面図。

【図2】本発明の第2の実施例を示す画素電極基板の断面図。

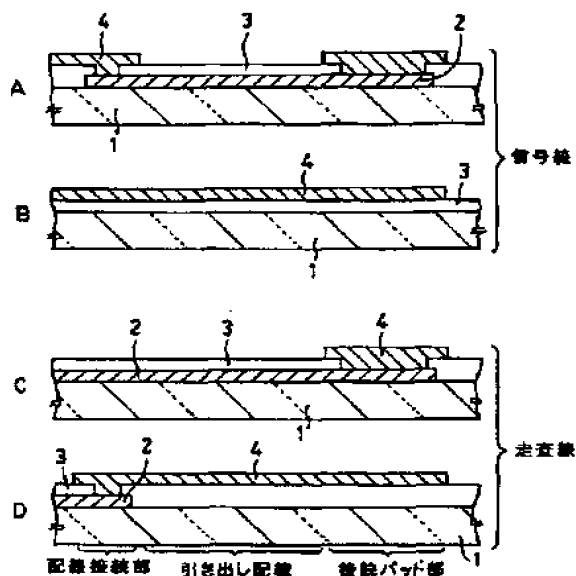
【図3】画素電極基板の引き出し配線部付近のパターンを模式的に示した平面図。

【図4】従来例の画素電極基板の断面図。

【符号の説明】

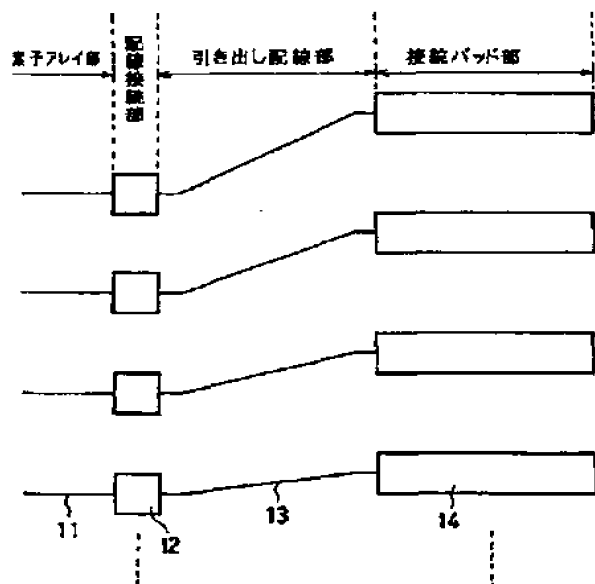
1…ガラス基板、 2…第1層配線、 3…ゲート絶縁膜、 4…第2層配線。

【図1】



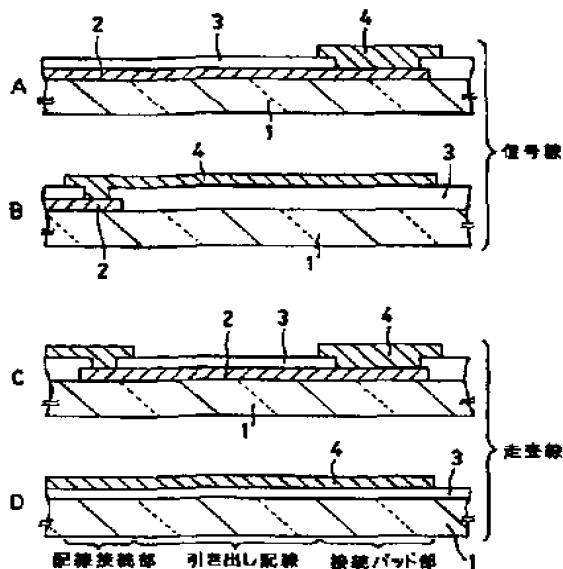
- 1—ガラス基板  
2—第1層配線  
3—ゲート電極  
4—第2層配線

【図3】

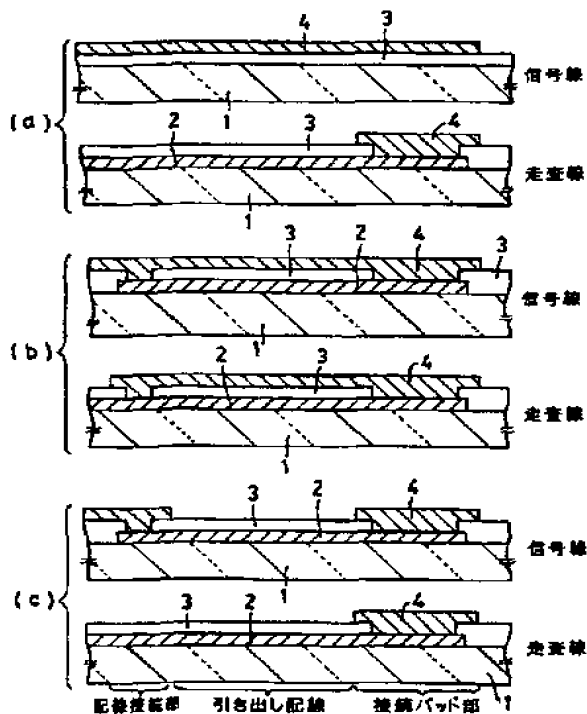


- 11—素子アレイ部配線  
12—配線接続部  
13—引き出し配線  
14—接続パッド

【図2】



【図4】



**Family list**

**1** family member for:

**JP5241200**

Derived from 1 application.

**1 LIQUID CRYSTAL DISPLAY DEVICE**

Publication info: **JP5241200 A** - 1993-09-21

---

Data supplied from the **esp@cenet** database - Worldwide

Scanned 11/12/2004

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11396278

Basic Patent (No,Kind,Date): JP 5241200 A2 930921 <No. of Patents: 001>

**LIQUID CRYSTAL DISPLAY DEVICE** (English)

Patent Assignee: CANON KK

Author (Inventor): SUGAWA SHIGETOSHI

IPC: \*G02F-001/136; G02F-001/133; G09F-009/30; G09G-003/36; H01L-027/12;

H01L-029/784

JAPIO Reference No: 170703P000078

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 5241200</b>	A2	930921	JP 9275979	A	920228 (BASIC)

Priority Data (No,Kind,Date):

JP 9275979 A 920228

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

04249500      \*\*Image available\*\*  
LIQUID CRYSTAL DISPLAY DEVICE

**PUB. NO.:** 05-241200 [JP 5241200 A]  
**PUBLISHED:** September 21, 1993 (19930921)  
**INVENTOR(s):** SUGAWA SHIGETOSHI  
**APPLICANT(s):** CANON INC [000100] (A Japanese Company or Corporation), JP  
 (Japan)  
**APPL. NO.:** 04-075979 [JP 9275979]  
**FILED:** February 28, 1992 (19920228)  
**INTL CLASS:** [5] G02F-001/136; G02F-001/133; G09F-009/30; G09G-003/36;  
 H01L-027/12; H01L-029/784  
**JAPIO CLASS:** 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
 -- Other)  
**JAPIO KEYWORD:** R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --  
 Metal  
 Oxide Semiconductors, MOS)  
**JOURNAL:** Section: P, Section No. 1666, Vol. 17, No. 703, Pg. 78,  
 December 22, 1993 (19931222)

## ABSTRACT

**PURPOSE:** To obtain the liquid crystal display device having an excellent response speed and high image quality by forming sample-hold capacitors of low resistance.

**CONSTITUTION:** At least either of the gate or diffusion layer of the MOS type sample-hold capacitor 6 is connected in parallel with wirings 5, 7 having the resistance lower than the resistance thereof. The signal transmitted to a video signal 2 is taken via an analog switching TFT 4 into the MOS type sample-hold capacitor 6 in synchronization with the pulse outputted from a scanning circuit 1 to an output line 3. The analog switching TFT 4 turns off after turning on for a specified period of time. The MOS type sample-hold capacitor 6 is of the low resistance during this period and, therefore, the signal can be taken therein from the end to the end of the capacitor without attenuating the signal. A transfer switching TFT 9 turns on next and the pulse is outputted from the scanning circuit 12 to the gate line 13. A picture element switching TFT 14, then, turns on and the signal is taken into the display picture element.

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-241200

(43) 公開日 平成5年(1993)9月21日

(51) Int. Cl. <sup>5</sup>	識別記号	
G02F 1/136	500	9018-2K
1/133	550	7820-2K
G09F 9/30	338	6447-5G
G09G 3/36		7319-5G
		9056-4M

H01L 29/78

311

A

審査請求 未請求 請求項の数 1 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平4-75979

(22) 出願日 平成4年(1992)2月28日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 須川 成利

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

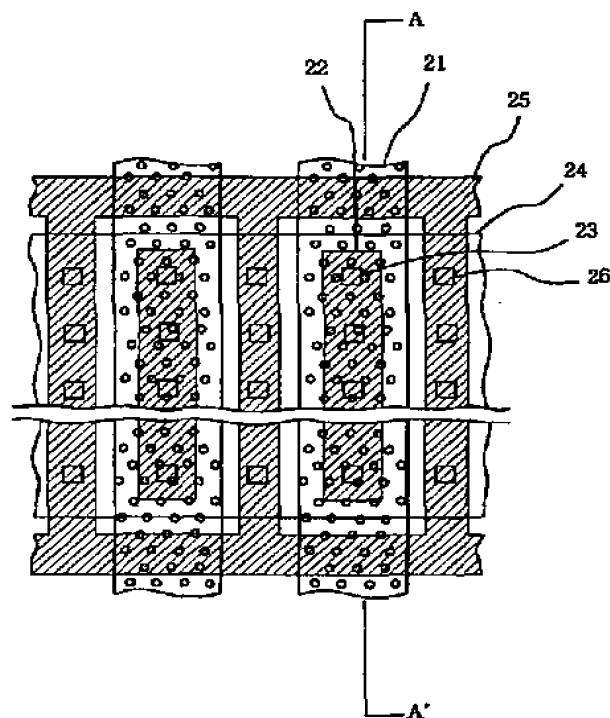
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 応答速度のすぐれた、画像表示品質の高い液晶表示装置を実現する。

【構成】 TFTよりなるドライバー回路を内蔵した液晶表示装置において、映像信号をサンプルホールドする回路のMOS型ホールド容量のゲート配線または拡散層の少なくとも一方を低抵抗配線と並列に接続した液晶表示装置。





【特許請求の範囲】

【請求項1】 絶縁膜上に設けられた、走査線群、データ線群、前記走査線及びデータ線を駆動するドライバー回路、及び前記走査線及びデータ線の交点に設けられた薄膜トランジスタアレイによって液晶を駆動してなる液晶表示装置において、前記データ線を駆動するドライバー回路は、薄膜トランジスタよりなる走査回路と、薄膜トランジスタ及び薄膜トランジスタと同一構造のMOS型容量からなるサンプルホールド回路とを具備し、前記MOS型容量のゲートまたは拡散層の少なくとも一方をそれよりも抵抗の低い配線と並列に接続したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTと略記する）よりなる液晶表示装置、特にドライバー回路を内蔵したアクティブマトリックスパネルに関する。

【0002】

【従来の技術】 従来の液晶表示装置は、特開昭62-178296号公報に示されるように、ドライバー回路を内蔵した液晶表示装置のサンプルホールド回路として図9に示すような構造を持っていた。同図において、131はドライバー回路で駆動され映像信号をサンプルホールド容量に転送するためのアナログスイッチTFT、132はサンプルホールド容量を形成するためのポリシリコンからなるゲート配線、133はゲート絶縁膜、134は不純物ドーパされないシリコン層、135は不純物ドーパされたシリコン層である。

【0003】 このサンプルホールド容量は、アナログスイッチTFTと同一構造のMOS型容量から形成されているため、製造工程を複雑にすること無しに単位面積当たりの容量を大きくすることが可能となり、省スペースで高歩留まりな容量が実現される。

【0004】

【発明が解決しようとする課題】 しかしながら、高階調で高解像度な画像品質の高い表示をしようとすると、図9の構造では次のような問題点を生じる。すなわち、高階調な画像表示を行なうには、TFTのスイッチング雑音を低減するために大きなサンプルホールド容量を形成しなければならない。一方、高解像度な画像表示を行なうには、高歩留まりを維持しつつ行なうためにゲート絶縁膜厚およびチップサイズはそのまま画素ピッチを縮めて画素数を増やさなければならない。したがって、サンプルホールド容量は細長く形成しなければならない。この場合、サンプルホールド容量のポリシリコンゲート配線および拡散層の抵抗が高くなり、映像信号がスイッチTFTがオンしている間にサンプルホールド容量に十分に転送されないという問題点を生じる。

【0005】 本発明はこのような問題点を解決するもの

で、その目的とするところは、低抵抗なサンプルホールド容量を形成することによって、応答速度のすぐれた、画像品質の高い液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明の液晶表示装置は、データ線を駆動するドライバー回路が、薄膜トランジスタよりなる走査回路と、薄膜トランジスタ及び薄膜トランジスタと同一構造のMOS型容量からなるサンプルホールド回路とを具備し、MOS型容量のゲートまたは拡散層の少なくとも一方をそれよりも抵抗の低い配線と並列に接続したことを特徴とする。

【0007】 本発明の液晶表示装置は、以下に示す方法により製造される単結晶Si層を有する半導体基板を用いることにより、液晶素子、液晶駆動回路及びその他の周辺駆動回路を同時に同一基板上に作成することができ、好ましい。以下、その方法につき説明する。

【0008】 半導体基板の単結晶Si層は単結晶Si基体を多孔質化した多孔質Si基体を用いて形成したものである。

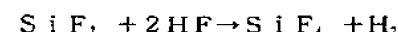
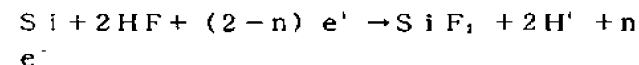
【0009】 この多孔質Si基体には、透過型電子顕微鏡による観察によれば、平均約600Å程度の径の孔が形成されており、その密度は単結晶Siに比べると、半分以下になるにもかかわらず、その単結晶性は維持されており、多孔質層の上部へ単結晶Si層をエピタキシャル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマCVD法、熱CVD法、光CVD法、パイアス・スパッタ法、液晶成長法等の低温成長が好適とされる。

【0010】 ここでP型Siを多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

【0011】 先ず、Si単結晶基体を用意し、それをHF溶液を用いた陽極化成法によって、多孔質化する。単結晶Siの密度は2.33g/cm<sup>3</sup>であるが、多孔質Si基体の密度はHF溶液濃度を20～50重量%に変化させることで、0.6～1.1g/cm<sup>3</sup>に変化させることができる。この多孔質層は下記の理由により、P型Si基体に形成され易い。

【0012】 多孔質Siは半導体の電解研磨の研究過程において発見されたものであり、陽極化成におけるSiの溶解反応において、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のように示される。

【0013】



又は、



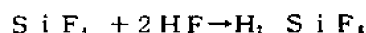
10

20

30

40

50

e<sup>-</sup>

ここで、e<sup>-</sup>及び、e<sup>+</sup>はそれぞれ、正孔と電子を表している。また、n及びλはそれぞれSi原子が溶解するために必要な正孔の数であり、n>2又は、λ>4なる条件が満たされた場合に多孔質Siが形成されるとしている。

【0014】以上のことから、正孔の存在するP型Siは、多孔質化され易いと言える。

【0015】一方、高濃度N型Siも多孔質化されうる10  
ことが報告されているおり、従って、P型、N型の別にこだわらずに多孔質化を行うことができる。

【0016】また、多孔質層はその内部に大量の空隙が形成されているために、密度が半以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて著しく増速される。

【0017】単結晶Siを陽極化成によって多孔質化する条件を以下に示す。尚、陽極化成によって形成する多孔質Siの出発材料は、単結晶Siに限定されるもので20  
はなく、他の結晶構造のSiでも可能である。

【0018】印加電圧： 2.6 (V)

電流密度： 30 (mA・cm<sup>-2</sup>)

陽極化成溶液： HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:  
1:1

時間： 2.4 (時間)

多孔質Siの厚み： 300 (μm)

Porosity: 56 (%)

このようにして形成した多孔質化Si基体の上にSiをエピタキシャル成長させて単結晶Si薄膜を形成する。30  
単結晶Si薄膜の厚さは好ましくは50μm以下、さらに好ましくは20μm以下である。

【0019】次に上記単結晶Si薄膜表面を酸化した後、最終的に基板を構成することになる基体を用意し、単結晶Si表面の酸化膜と上記基体を貼り合わせる。或いは新たに用意した単結晶Si基体の表面を酸化した後、上記多孔質Si基体上の単結晶Si層と貼り合わせる。この酸化膜を基体と単結晶Si層の間に設ける理由は、例えば基体としてガラスを用いた場合、Si活性層の下地界面により発生する界面準位は上記ガラス界面に比べて、酸化膜界面の方が準位を低くできるため、電子デバイスの特性を、著しく向上させることができるためである。さらに、後述する選択エッチングにより多孔質Si気体をエッチング除去した単結晶Si薄膜のみを新しい基体に貼り合わせても良い。貼り合わせはそれぞれの表面を洗浄後に室温で接触させるだけでファンデルワールス力で簡単には剥すことができない程充分に密着しているが、これをさらに200~900℃、好ましくは600~900℃の温度で窒素雰囲気下熱処理し完全に貼り合わせる。

【0020】さらに、上記の貼り合わせた2枚の基体全体にSi、N、層をエッチング防止膜として堆積し、多孔質Si基体の表面上のSi、N、層のみを除去する。このSi、N、層の代わりにアピエゾンワックスを用いても良い。この後、多孔質Si基体を全部エッチング等の手段で除去することにより薄膜単結晶Si層を有する半導体基板が得られる。

【0021】この多孔質Si基体のみを無電解湿式エッチングする選択エッチング法について説明する。

【0022】結晶Siに対してはエッチング作用を持たず、多孔質Siのみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム(NH<sub>4</sub>F)やフッ化水素(HF)等バッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に貼り合わせた基板を湿潤させてエッチングを行う。エッチング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、Siの酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができる。またアルコールを添加することにより、エッチングによる反応生成気体の気泡を、瞬時にエッチング表面から攪拌することなく除去でき、均一に且つ効率よく多孔質Siをエッチングすることができる。

【0023】バッファード弗酸中のHF濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは1~85重量%、さらに好ましくは1~70重量%の範囲で設定され、バッファード弗酸中のNH<sub>4</sub>F濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは5~80重量%の範囲で設定される。

【0024】HF濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは5~80重量%の範囲で設定される。

【0025】H<sub>2</sub>O<sub>2</sub>濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは10~80重量%で、且つ上記過酸化水素水の効果を奏する範囲で設定される。

【0026】アルコール濃度は、エッチング液に対して、好ましくは80重量%、より好ましくは60重量%以下、さらに好ましくは40重量%以下で、且つ上記アルコールの効果を奏する範囲で設定される。

【0027】温度は、好ましくは0~100℃、より好ましくは5~80℃、さらに好ましくは5~60℃の範囲で設定される。

50 【0028】本工程に用いられるアルコールはエチルア

ルコールの他、イソプロピルアルコールなど製造工程等に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0029】このようにして得られた半導体基板は、通常のシリウエハーと同等な単結晶シリ層が平坦にしかも均一に薄層化されて基板全域に大面積に形成されている。

【0030】この半導体基板の単結晶シリ層を部分酸化法或いは島状にエッチングすることにより分離し、不純物をドーピングしてp或いはnチャネルトランジスタを形成する。

【0031】

【作用】本発明の上記構成によれば、細長く形成されたサンプルホールドの容量の抵抗を下げる事が可能となり、高階調で高解像度の応答速度のすぐれた画像品質の高い液晶表示装置が実現できる。

【0032】

【実施例】

(実施例1) 図1～3は本実施例における液晶表示装置である。

【0033】図1は本実施例における液晶表示装置の等価回路図である。同図において、1はデータ線群を駆動するためのTFTよりなる走査回路、2は映像信号が印加される映像信号線、3はアナログスイッチTFT4を開閉するための走査回路1の出力線、4は映像信号をMOS型サンプルホールド容量6に転送するためのアナログスイッチTFT、5はMOS型サンプルホールド容量6を形成するためのポリシリコンゲートとアルミニウムが並列に接続された配線、6はアナログスイッチTFT4と同一構造のMOS型サンプルホールド容量、7はMOS型サンプルホールド容量6を形成するための拡散層とアルミニウムが並列に接続された配線、8はMOS型サンプルホールド容量6に定電位を供給するための定電位線、9はMOS型サンプルホールド容量6に蓄えられた映像信号をデータ線11及び液晶セル15に転送するための転送スイッチTFT、10は転送スイッチTFT9を開閉するための配線、11はデータ線、12はゲート線13群を駆動するための走査回路、14は各画素の液晶セル15への信号書き込みを行なうための画素スイッチTFT、15は液晶セル、16は対向電極を示す。

【0034】図2は本実施例における液晶表示装置の前記MOS型サンプルホールド容量6の平面構造図である。同図において、21はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、22はポリシリコンゲート21と並列に接続されたA1、23はポリシリコンゲート21とA122を接続するためのコンタクトホール、24はMOS型サンプルホールド容量を形成するための拡散層、25は拡散層24と並列に接続されたA1、26は拡散層24とA125を接続するためのコンタクトホールである。

【0035】図3は本実施例における液晶表示装置の、図2のA-A'の延長線位置に対応した、前記アナログスイッチTFT4とMOS型サンプルホールド容量6の断面構造図である。同図において、31はシリコン基板、32はシリコン酸化膜、33は局所選択酸化膜(LOCOS)、34はゲート絶縁膜、35はアナログスイッチTFT、36はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、37はアナログスイッチTFT35とポリシリコンゲート36を接続するためのA1、38はポリシリコンゲート36と並列に接続されたA1、39は層間絶縁膜、40ポリシリコンゲート36とA138を接続するためのコンタクトホール、41はMOS型サンプルホールド容量を形成するための拡散層としてのシリコン層である。

【0036】次に、本実施例における液晶表示装置の動作を図1を用いて説明する。

【0037】映像信号線2に伝送されてきた信号が、走査回路1から出力線3に出力されたパルスに同期して、アナログスイッチTFT4を介してMOS型サンプルホールド容量6に取り込まれる。

【0038】アナログスイッチTFT4が一定期間ONしたのち、OFFする。

【0039】この期間内に、MOS型サンプルホールド容量6が低抵抗であるので、容量の端から端まで信号を減衰することなく取り込むことができる。

【0040】次に転送スイッチTFT9がONし、走査回路12からゲート線13にパルスが出力され画素スイッチTFT14がONして表示画素に信号が取り込まれる。

【0041】(実施例2) 図4～6は本実施例における液晶表示装置である。

【0042】図4は本実施例における液晶表示装置の等価回路図である。同図において、55がMOS型サンプルホールド容量56を形成するための拡散層とアルミニウムが並列に接続された配線、57がMOS型サンプルホールド容量56を形成するためのポリシリコンゲートとアルミニウムが並列に接続された配線である以外は図1と同様である。

【0043】図5は本実施例における液晶表示装置のMOS型サンプルホールド容量56の平面構造図である。同図において、71はMOS型サンプルホールド容量を形成するための拡散層、72は拡散層71と並列に接続されたA1、73は拡散層71とA172を接続するためのコンタクトホール、74はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、75はポリシリコンゲート74と並列に接続されたA1、76はポリシリコンゲート74とA175を接続するためのコンタクトホールである。

【0044】図6は、本実施例における液晶表示装置の、図5のA-A'の延長線位置に対応したアナログス

イッチTFT54とMOS型サンプルホールド容量56の断面構造図である。同図において、81はシリコン基板、82はシリコン酸化膜、83は局所選択酸化膜(LOCOS)、84はゲート絶縁膜、85はアナログスイッチTFT、86はMOS型サンプルホールド容量を形成するための拡散層としてのシリコン層、87はオーミックコウタクトをとるための高濃度シリコン層、88はアナログスイッチTFT85と高濃度シリコン層86を接続するためのA1、89はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、90はポリシリコンゲート89と並列に接続されたA1、91は層間絶縁膜、92はポリシリコンゲート89とA190を接続するためのコンタクトホールである。

【0045】本実施例における液晶表示装置の動作は実施例1と同様に行なわれる。

【0046】(実施例3)図7は本実施例における液晶表示装置のMOS型サンプルホールド容量の平面構造図であり、図8は、図7のA-A'の延長線位置に対応したアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図である。尚、等価回路図は図1と同様である。

【0047】図8により実施例1との相違を説明する。拡散層121をMo、Ti、W等のシリサイド層とし、ポリシリコンゲート116のA1配線による低抵抗化を実施しない以外は実施例1と同様である。

【0048】なお、実施例1、2において、前記MOS型サンプルホールド容量はそのゲート配線及び拡散層配線の両方を並列接続し低抵抗特性を実現しているが、ゲート配線または拡散層配線の一方を低抵抗化しても従来例の問題点を改善することができる。

【0049】また、実施例1～3において、アルミニウムで並列接続し低抵抗特性を実現しているが、アルミニウムに限らず、ゲート配線及び拡散層配線よりも低抵抗な材料であれば並列接続することにより従来例の問題点を改善することが出来る。

【0050】また、実施例1～3において、前記MOS型サンプルホールド容量はそのシリコン層に拡散層と同型の不純物がドーパされていらないエンハンスメント型構造として説明したが、拡散層と同型の不純物がドーパされたディプレッションMOS型構造で容量を構成しても本発明の主旨に何ら反しない。

【0051】また、実施例1～3において前記MOS型容量の拡散層の導電型は特に限定しなかったが、N型であっても、P型であっても本発明の主旨に何ら反しない。

【0052】

【発明の効果】本発明の液晶表示装置によれば、次のような著しい効果が生じる。

【0053】一般に、液晶表示装置のTFTのゲート絶縁膜の構造は、良好なトランジスタ性能を保ちつつ10V以上の絶縁耐圧を確保するために、700Å程度以上に設定される。ここで、高階調で高解像度な画像表示を行なうために、例えば、10pFのMOS型サンプルホールド容量を30μm幅で形成した場合、ポリシリコンゲート層の長さは700μm程度以上になり、その抵抗は1KΩ程度以上になってしまう。また、MOS型サンプルホールド容量下の拡散層の抵抗も同様に1KΩ程度以上となる。この場合、応答周波数は10MHz程度以上が必要となるが、実際に得られる応答周波数は5MHz程度以下となり画像信号をMOS型サンプルホールド容量に十分に伝送できずに画像品質は著しく劣化する。

【0054】本発明に従い、このポリシリコンゲート層を及び拡散層をアルミニウムで並列配線すると、それら抵抗は約3桁低くなり、MOS型サンプルホールド容量への画像信号の転送が十分に行なえ、高階調で高解像度な画像表示を行なうことができる。

【0055】以上述べたように、本発明によれば、MOS型サンプルホールド容量の抵抗を下げる事が可能となり、高階調で高解像度の応答速度のすぐれた画像品質の高い液晶表示装置が実現できる。

【図面の簡単な説明】

【図1】実施例1における液晶表示装置の等価回路図。

【図2】実施例1における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

【図3】実施例1における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図4】実施例2における液晶表示装置の等価回路図。

【図5】実施例2における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

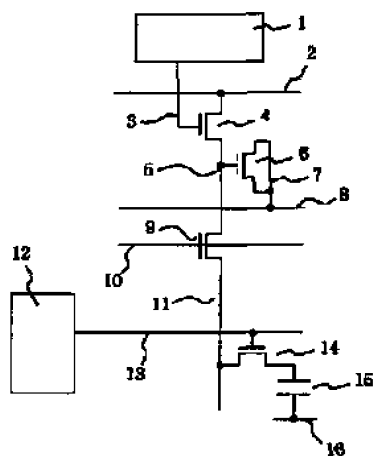
【図6】実施例2における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図7】実施例3における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

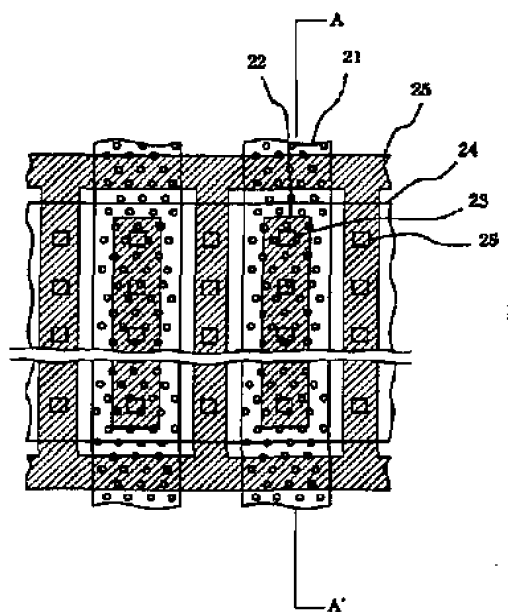
【図8】実施例3における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図9】従来例を説明するための断面図。

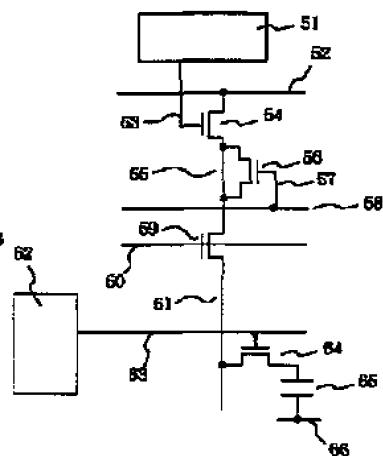
【図1】



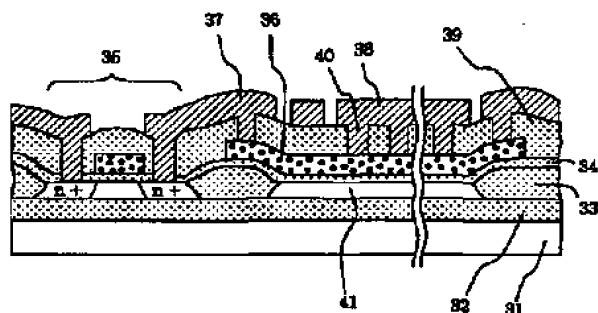
【図2】



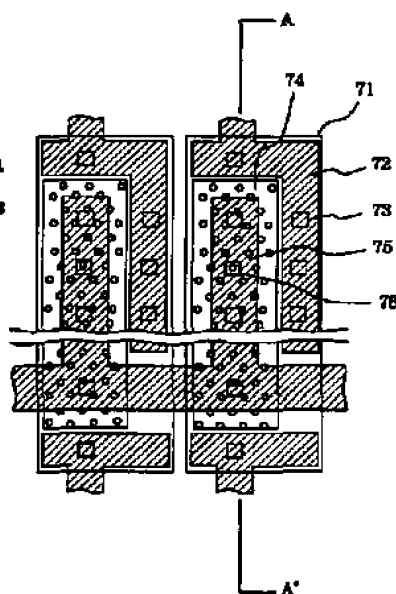
【図4】



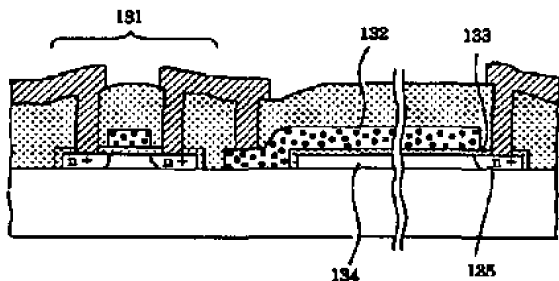
【図3】



【図5】



【図9】



### 技術表示箇所

**Family list**

1 family member for:

**JP6160904**

Derived from 1 application.

- 1 **LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION**  
Publication info: **JP6160904 A** - 1994-06-07

---

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

009955371      \*\*Image available\*\*

WPI Acc No: 1994-223084/199427

XRPX Acc No: N94-175710

**Liquid crystal display device mfg. method - forming signal wiring to connect source electrode of transistor and pixel electrode in shape of matrix with thin film transistor acting as switching element using simpler mfg. process** NoAbstract

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6160904	A	19940607	JP 92316825	A	19921126	199427 B

Priority Applications (No Type Date): JP 92316825 A 19921126

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6160904	A	5	G02F-001/136	

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; MANUFACTURE; METHOD; FORMING

; SIGNAL; WIRE; CONNECT; SOURCE; ELECTRODE; TRANSISTOR; PIXEL; ELECTRODE;

SHAPE; MATRIX; THIN; FILM; TRANSISTOR; ACT; SWITCH; ELEMENT; SIMPLE; MANUFACTURE; PROCESS; NOABSTRACT

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-029/784

File Segment: EPI; EngPI



DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

04517004      \*\*Image available\*\*

# LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

PUB. NO.:      06-160904 [JP 6160904 A]

PUBLISHED:      June 07, 1994 (19940607)

INVENTOR(s):      MIYAMA HIROSHI

KUMAGAI TAKUYA

SEKADO YASUTO

APPLICANT(s):      MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.:      04-316825 [JP 92316825]

FILED:      November 26, 1992 (19921126)

INTL CLASS:      [5] G02F-001/136; G02F-001/1343; H01L-029/784

JAPIO CLASS:      29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass

Conductors)

JOURNAL:      Section: P, Section No. 1797, Vol. 18, No. 481, Pg. 63,  
September 07, 1994 (19940907)

## ABSTRACT

**PURPOSE:** To provide the liquid crystal display device which decreases the man- hours for production, lowers the disconnection defects generation rate of respective wirings and to lower the resistance of respective wirings relating to the structure of the active matrix type liquid crystal display device constituted by using thin-film transistors (TFTs) switching elements and the process for production of such structure.

**CONSTITUTION:** Scanning lines for driving TFTs and signal wirings are constituted by simultaneously forming the first signal wirings 17 (b) which are a part of the signal wirings at the time of forming the first scanning wirings 17 (a), further, forming the second scanning wirings 16 (b) which are a part of the scanning wirings at the time of forming the second signal wirings 16 (a) and bringing the respective wirings into electrical contact partially with each other via aperture contact parts 18, 19. As a result, the number of patterning times is decreased and since the respective wirings can be made into redundancy constitution, there are the effect of decreasing man-hours for production, drastically lessening the disconnection defect generation rate of the respective wirings and preventing the delaying of the signals by the lowered resistance of the respective wirings.

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-160904

(43) 公開日 平成6年(1994)6月7日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
G02F 1/136	500	9018-2K
1/1343		9018-2K
H01L 29/784		
	9056-4M	H01L 29/78 311 A

審査請求 未請求 請求項の数 3 (全5頁)

(21) 出願番号 特願平4-316825

(22) 出願日 平成4年(1992)11月26日

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 深山 博  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 熊谷 卓也  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 瀬角 康人  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 液晶表示装置とその製造方法

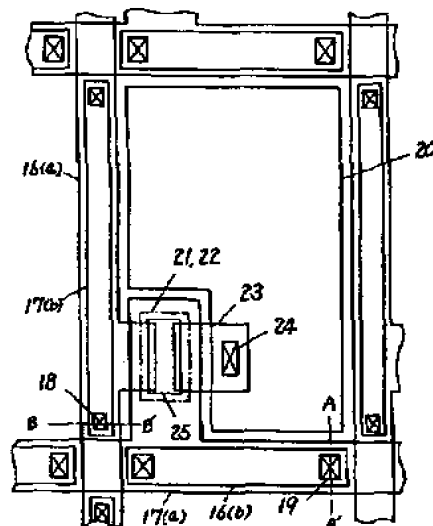
(57) 【要約】

【目的】 本発明は薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置の構造及び製造方法に関するもので、製造工数を削減し、各配線の断線欠陥発生率を低減すると同時に、各配線の低抵抗化を図った液晶表示装置を提供することを目的とする。

【構成】 薄膜トランジスタを駆動する走査配線、並びに信号配線は、第1の走査配線17(a)を作成する際に信号配線の一部となる第1の信号配線17(b)を同時に作成し、更に第2の信号配線16(a)を作成する際に走査配線の一部となる第2の走査配線16(b)を作成し、それぞれの配線を開口コンタクト部18、19を介して電気的に一部接触させることにより、パタニング回数の削減と同時に冗長構成を図ったものである。

【効果】 パタニング回数を削減して、しかも各配線は冗長構成とすることが可能であることから製造工数の削減、各配線の断線欠陥発生率の大幅な低下、並びに各配線の低抵抗化により信号の遅延防止に効果がある。

16(a) 第2の信号配線	21 第1の非晶質シリコン層
16(b) 第2の走査配線	22 第2の絶縁層
17(a) 第1の走査配線	23 ドレイン配線
17(b) 第1の信号配線	25 第2の非晶質シリコン層
18 19 24 開口コンタクト部	
20 図素電極	



【特許請求の範囲】

【請求項1】 一对の基板上に液晶が封入され、前記基板の一方の基板上にマトリクス状に配列された画素電極と、前記画素電極に近接して接続されてなる薄膜トランジスタと、前記薄膜トランジスタのソース電極に接続されてなる信号配線と、前記薄膜トランジスタのゲート電極に接続されてなる走査配線を有し、前記信号配線、あるいは前記走査配線の少なくとも一方が、第1、第2の2層の配線から構成され、この第1、第2の配線の間に開口部を有する絶縁層が設けられ、この開口部を介して前記第1、第2の2層の配線が電気的に接触を保持して配置されている液晶表示装置。

【請求項2】 走査配線あるいは信号配線を構成する第1、第2の配線は、そのいずれか一方が前記走査配線と前記信号配線の交差部を除いて設けられている請求項1記載の液晶表示装置。

【請求項3】 第1の走査配線を形成する際に第1の信号配線を同時に形成し、第2の信号配線を形成する際に第2の走査配線を同時に形成することを特徴とする請求項1あるいは2いずれか記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置、とりわけ薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置とその製造方法に関するものである。

【0002】

【従来の技術】 近年、微細加工技術と液晶材料の進歩により、液晶パネルを用いたテレビ画像表示装置が商用ベースで提供されている。また、その方式としては画素毎にスイッチング素子を内蔵させた、いわゆるアクティブマトリクス方式が高コントラスト、高解像度等の利点から主流になりつつある。

【0003】 図4はアクティブマトリクス型の液晶パネルの等価回路で、走査線群1と信号線群2との交差点毎に、例えば電界効果型の薄膜トランジスタ（以下電界効果型トランジスタと呼ぶ）のスイッチング素子3と、液晶セル4が配置される。5は全ての液晶セル4に共通した透明導電層よりなる対向電極である。

【0004】 図5は一般的なアクティブマトリクス方式の単位画素の平面配置図であり同図A-A'線上の断面図を図6に示す。以下図を参照しながら従来の液晶パネルについて説明する。

【0005】 透明の絶縁性基板14、例えばガラス基板の一主面上に画素電極6を透明導電層例えばITOを用い選択的に形成する。そして、走査線（走査電極）と電界効果型トランジスタのゲートを兼ねる導電層7を第1の導電層7(a)、例えばCr薄膜と、第2の導電層7(b)、例えばMoSi<sub>3</sub>薄膜との連続的な積層によっ

て選択的に被着形成する。つぎに例えばSi<sub>3</sub>N<sub>4</sub>よりなる第1の絶縁層15、不純物をほとんど含まない第1の非晶質シリコン層11、そして第2の絶縁層13を例えばSi<sub>3</sub>N<sub>4</sub>により好ましくは連続的に被着する。その後、第2の絶縁層13をソース・ドレイン配線形成時のエッチングストップバとして電界効果型トランジスタのチャネル部に島状にパタニングする。次に第1の非晶質シリコン層11とソース・ドレイン配線8、9との間のオーミック性を改善する目的で例えば燐を含んだ第2の非晶質シリコン層12を被着後、第1の非晶質シリコン層11と同時に電界効果型トランジスタのチャネル部に島状にパタニングする。最後に信号線（信号電極）8及びドレイン配線9を例えば

【0006】

【外1】

A2

【0007】で選択的に被着形成することにより、液晶表示装置が完成する。

【0008】

【発明が解決しようとする課題】 液晶パネルのさらなる高密度化及び大画面化を達成するためにも画像表示上の無欠陥化が切望されている。しかしながら上記の様な構成では、構造及び製造プロセスが複雑であるため、この無欠陥化の実現は非常に困難であるという問題を有している。この無欠陥化を困難にしている原因の一つに、信号配線、並びに走査配線の欠陥（断線）がある。実際に断線を防ぐ方法として、各配線を2層構造として各層で発生する断線欠陥をそれぞれの層が補う構造がとられている。しかしこの構造では、各配線が2層構造となるため配線を形成する際、各配線用のパターンを2回形成することが必要であり、そのため配線用導電層の形成からフォトリソエッチング工程が本来必要な数の2倍に工数が増加し、低コスト化に大きな課題を有している。また、画面サイズの大形化に伴い信号配線、並びに走査配線の抵抗値増大の課題もある。特に走査配線の抵抗増大は信号の遅延となり、画像上信号配線方向の輝度傾斜等の原因となり大きな課題である。

【0009】 本発明は上記課題に鑑み、信号配線、並びに走査配線の断線欠陥発生を工数を増加させることなく防止し、更に前記両配線の低抵抗化を図る構造を有する液晶表示装置を提供するものである。

【0010】

【課題を解決するための手段】 本発明はかかる点に鑑み、走査配線を形成する際、第1の走査配線と同時に第1の信号配線の一部を同時に形成し、絶縁層を介して信号配線を形成する際、第2の信号配線と第2の走査配線を同時に形成する。この時絶縁層の一部に予め形成しておいた開口部を通じて第1の走査配線と第2の走査配線を、更に第1の信号配線と第2の信号配線をそれぞれ電気的に接続することにより走査配線、信号配線を形成

10

20

30

40

50

する。

【0011】

【作用】本発明は上記した構成により、走査配線、信号配線と同一層の導電層を用いて、それぞれを複数層に構成することが可能となるため、例えば一方の導電層に断線が発生しても他の導電層によってその欠陥を補うことが可能となる。特に走査配線、信号配線のそれぞれの層を形成するだけで、各配線は一部を除いて2層構成となり、高品質を維持しつつ製作工数の削減が可能となる。また、走査配線、並びに信号配線を複数層の導電層によって構成することから、それぞれの配線を低抵抗化することができ、例えば走査配線においては印加された走査信号の遅延による走査配線方向の輝度傾斜といった画像不良を対策し、正常な画像を提供するに充分なゲート配線の低抵抗化も達成できるものである。

【0012】

【実施例】図1は、本発明の一実施例によるアクティブマトリクス型の液晶表示装置の単位画素の平面配置図であり、同図のA-A'線上の断面図を図2に、B-B'線上の断面図を図3にそれぞれ示す。

【0013】まず、図1に示すように、ガラス基板上に透明電極からなる画素電極20をパターン形成し、この画素電極20とは電気的に分離して、第1の走査配線17(a)と信号配線の一部となる第1の信号配線17

(b)を、さらに第1の走査配線17(a)と電気的に分離して、同一層からなる導電層(例えばCr、(外1)等)を用いてフォトリソ法によりパタニングする。次に第1の走査配線17(a)と第1の信号配線17(b)上には、図2および図3に示すように、この後形成する第2の信号配線16(a)、第2の走査配線16(b)との絶縁を保つための第1の絶縁層26(例えばSi<sub>3</sub>N<sub>4</sub>)が少なくとも第1の走査配線17

(a)、並びに第1の信号配線17(b)上に形成される。また、電界効果型トランジスタ部には、第1の絶縁層26上に不純物をほとんど含まない第1の非晶質シリコン層21、第2の絶縁層22を連続的に被着し、その後、第2の絶縁層22を、この後形成する第2の信号配線16(a)、第2の走査配線16(b)、並びにドレイン配線23の形成時のエッチングストッパとして電界トランジスタのチャネル部に島状にパタニングする。次に第1の非晶質シリコン層21と第2の信号配線16

(a)、並びにドレイン配線23との間のオーミック性を改善する目的で、例えば燐を含んだ第2の非晶質シリコン層25を被着後、第1の非晶質シリコン層21と同様に電界効果型トランジスタのチャネル部に島状にパタニングする。次に、この後形成する第2の信号配線16

(a)、第2の走査配線16(b)、並びにドレイン配線23とそれぞれの配線、並びに電極と電気的に導通をとるための開口コンタクト部18、19、24がそれぞれ設けられる。次に各開口コンタクト部が設けられた基板

上に導電層を形成し、この導電層をパタニングすることにより、第2の信号配線16(a)、前記第2の信号配線とは電気的に分離した第2の走査配線16(b)、並びにドレイン配線23を形成する。

【0014】この状態において、第1の走査配線17

(a)と第2の走査配線16(b)が第2の走査配線16(b)の両端部に設けられた開口コンタクト部19によって電気的に導通が得られ(図2参照)、また、同様に第1の信号配線17(b)と第2の信号配線16

(a)が開口コンタクト部18によって電気的な導通が得られる(図3参照)。また、ドレイン配線23は画素電極20と開口コンタクト部24によって電気的な導通が得られる。ここで、第1の走査配線17(a)と第2の信号配線16(a)を各画素ごとに1本の連続した配線として形成することにより各画素に信号を供給することができる。

【0015】以上の様に、本実施例はアクティブマトリクス型の液晶表示装置において、第1の走査配線を形成する際に信号配線の一部となる第1の信号配線を、また、第2の信号配線を形成する際に第2の走査配線の一部を形成し、それぞれ第1の配線と第2の配線は両者の間に設けられた層の一部に開口部を設け、電気的に接触を図るようにしたものである。この構造により走査配線と信号配線の2層で両者を冗長構成にすることが可能となり、各配線の断線欠陥の大幅な減少が可能である。また、それぞれの配線が2層構造となることから各配線の低抵抗化も可能となる。

【0016】

【発明の効果】以上説明したように本発明によれば、走査配線と信号配線は、それぞれ1回のパタニングによって両配線を冗長構成とすることが可能となり、パタニング回数の削減を図って、しかも冗長構成となることから、例えば一方の配線に断線が発生しても他の一方の配線がこれをカバーすることが可能となり、工数削減と同時に製造歩留まりを飛躍的に改善できる。また、各配線は2層構造となることから各配線抵抗を低くすることが可能となり、低抵抗化によって各信号の遅延課題に対しても効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる液晶表示装置の要部平面図

【図2】同装置の要部断面図

【図3】同装置の要部断面図

【図4】一般的アクティブマトリクス型液晶パネルの等価回路図

【図5】従来例の液晶表示装置の要部拡大図

【図6】同装置の要部断面図

【符号の説明】

16(a) 第2の信号配線

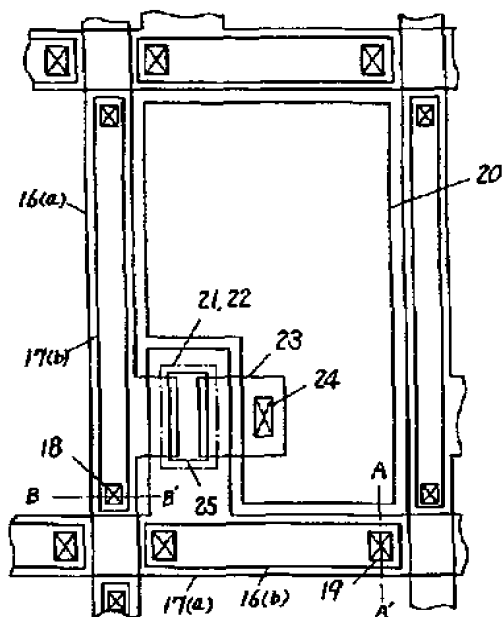
16(b) 第2の走査配線

- 17(a) 第1の走査配線  
17(b) 第1の信号配線

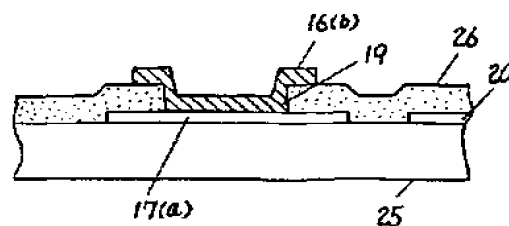
- 18, 19, 24 開口コンタクト部

【図1】

- |                     |                |
|---------------------|----------------|
| 16(a) 第2の信号配線       | 21 第1の非晶質シリコン層 |
| 16(b) 第2の走査配線       | 22 第2の絶縁層      |
| 17(a) 第1の走査配線       | 23 ドレイン配線      |
| 17(b) 第1の信号配線       | 25 第2の非晶質シリコン層 |
| 18, 19, 24 開口コンタクト部 |                |
| 20 画素電極             |                |

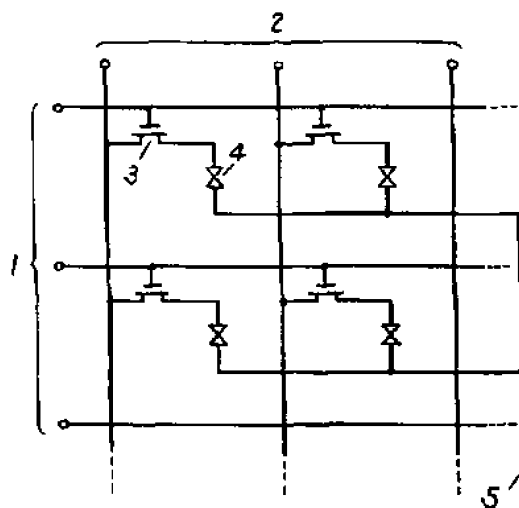


【図2】

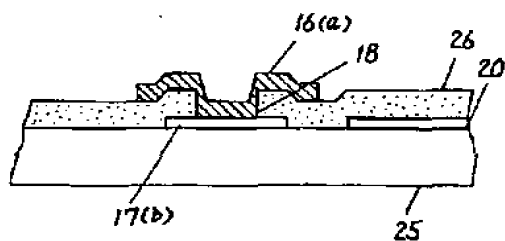


【図4】

- 1 走査線群  
2 信号線群  
3 電解効果型トランジスタ  
4 液晶セル  
5 対向電極

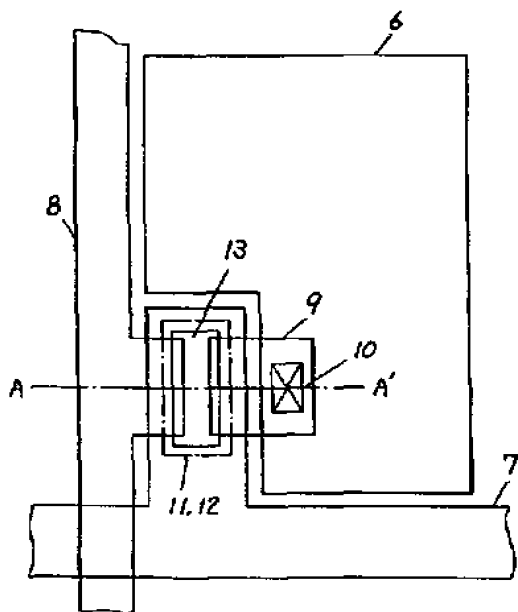


【図3】



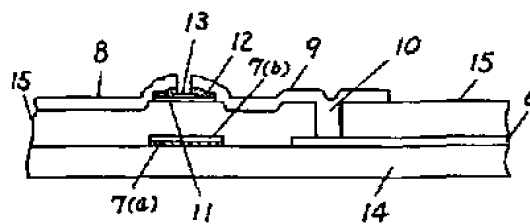
【図5】

- 6 面素電極
- 7 走査電極(導電層)
- 8 信号電極
- 9 ドレイン配線
- 10 開口コンタクト部
- 11, 12 第1,第2の非晶質シリコン層
- 13 第2の絶縁層



【図6】

- 7(a), 7(b) 導電層(走査電極)
- 14 絶縁性基板
- 15 第1の絶縁層



**Family list**

3 family members for:

**JP7175038**

Derived from 2 applications.

- 1 **DRIVING CIRCUIT OF DISPLAY DEVICE**  
Publication info: JP3050738B2 B2 - 2000-06-12  
JP7175038 A - 1995-07-14
- 2 **DRIVING CIRCUIT OF DISPLAY DEVICE**  
Publication info: KR153222 B1 - 1998-11-16

---

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010376537 \*\*Image available\*\*

WPI Acc No: 1995-277851/199537

XRPX Acc No: N95-212335

**Active matrix liquid display device circuit - is connected such that relative distance between contact hole of nodes and contact hole on connection electrodes is equal so that wiring resistance is equal**

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7175038	A	19950714	JP 93317221	A	19931217	199537 B
TW 263580	A	19951121	TW 94110530	A	19941114	199607
KR 153222	B1	19981116	KR 9434642	A	19941216	200029
JP 3050738	B2	20000612	JP 93317221	A	19931217	200032

Priority Applications (No Type Date): JP 93317221 A 19931217

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7175038	A	6	G02F-001/133	
TW 263580	A		G09G-003/18	
KR 153222	B1		G02F-001/133	
JP 3050738	B2	6	G02F-001/133	Previous Publ. patent JP 7175038

Title Terms: ACTIVE; MATRIX; LIQUID; DISPLAY; DEVICE; CIRCUIT; CONNECT;  
RELATIVE; DISTANCE; CONTACT; HOLE; NODE; CONTACT; HOLE; CONNECT;  
ELECTRODE; EQUAL; SO; WIRE; RESISTANCE; EQUAL

Derwent Class: P81; P85; T04; W03

International Patent Class (Main): G02F-001/133; G09G-003/18

International Patent Class (Additional): G02F-001/136; G09F-009/00;  
G09G-003/36; H04N-005/66

File Segment: EPI; EngPI



DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

04882438     \*\*Image available\*\*  
DRIVING CIRCUIT OF DISPLAY DEVICE

PUB. NO.:     07-175038 [JP 7175038 A]  
PUBLISHED:     July 14, 1995 (19950714)  
INVENTOR(s):   SHIMADA NAOYUKI  
                 YAMASHITA TOSHIHIRO  
                 WATAYA KIMIHIDE  
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:     05-317221 [JP 93317221]  
FILED:         December 17, 1993 (19931217)  
INTL CLASS:     [6] G02F-001/133; G02F-001/136; G09G-003/36; H04N-005/66  
JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6  
                 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

#### ABSTRACT

PURPOSE: To make wiring resistance uniform with a simple constitution without affecting their various characteristics.

CONSTITUTION: The wiring resistance in the wirings 1 for connection is made the same by connecting the connecting points on connecting electrodes 4 of contact holes 5 by moving these points by as much as the spacings between the wiring patterns of video signal lines 120 in order to equaling the relative distances L between the connecting points between the contact holes 2 and 5 which are respective connecting points at the time of connecting the video signal lines 120 via connecting electrodes 4 and the wirings 1 for connection to the source electrode side of sampling gates 108 of the circuit constitution which executes on-off control according to the signals from shift registers by connecting the sampling gate 108 between the video signal lines 120 and gate bus lines 112.

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175038

(43) 公開日 平成7年(1995)7月14日

(51) Int. Cl.<sup>8</sup>  
 G02F 1/133 550  
 1/136 500  
 G09G 3/36  
 H04N 5/66 102 B

F I

審査請求 未請求 請求項の数 4 O L (全6頁)

(21) 出願番号 特願平5-317221

(22) 出願日 平成5年(1993)12月17日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

(72) 発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

(72) 発明者 綿谷 公秀

大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

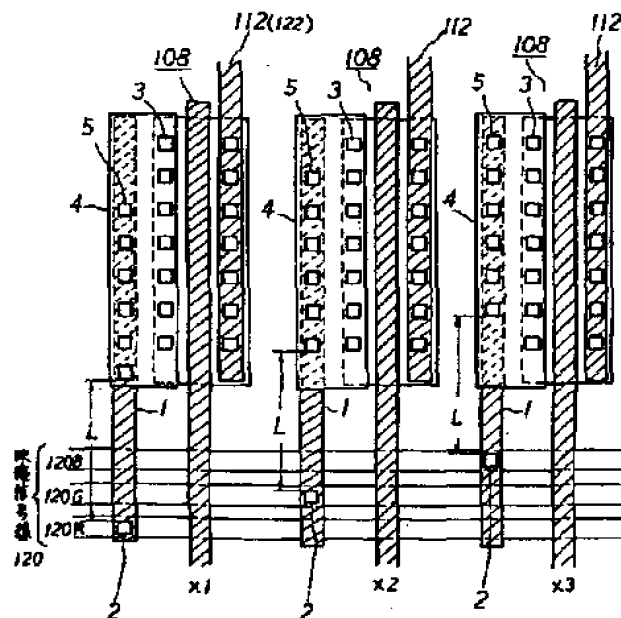
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】 (修正有)

【目的】 本発明は配線抵抗の均一化を簡単な構成でかつ諸特性に影響を与えない表示装置の駆動回路を提供するものである。

【構成】 映像信号線120とゲートバスライン112との間にサンプリングゲート108を接続し、シフトレジスタからの信号に応じてオンオフ制御を行う回路構成であって、サンプリングゲート108のソース電極側に接続電極4及び接続用配線1を介して映像信号線120と接続する際に、各接続点であるコンタクトホール2、5間の相対的な接続点間距離を等しくするために、コンタクトホール5の接続電極4上の接続点を映像信号線の配線パターン間隔分だけ移動させて接続を行うことにより、接続用配線における配線抵抗を同一のものとすることができる。



【特許請求の範囲】

【請求項1】互いに平行に配線が行われた複数の第1の信号線と、互いに平行に配線が行われた複数の第2の信号線とがそれぞれ制御手段を介して接続され、該制御手段は別途第3の信号線によってオンオフ制御をおこなわせしめて相互に接続を行う回路構成において、それぞれの制御手段の接続箇所とそれぞれの信号線における接続箇所との相対距離がそれぞれ同一になる位置で接続構成したことを特徴とする表示装置の駆動回路。

【請求項2】上記第1の信号線あるいは第2の信号線が、制御手段である複数のサンプリングゲートの電極に接続用配線を介して接続する際、信号線の接続点の位置に合わせてサンプリングゲートの電極上の接続点の位置をそれぞれ距離が同一になるように変更することを特徴とする請求項1に記載の表示装置の駆動回路。

【請求項3】上記第1の信号線あるいは第2の信号線が、制御手段である複数のサンプリングゲートの電極に接続用配線を介して接続する際、接続用配線を信号線に沿って適宜延長すると共に、サンプリングゲートの電極の接続点からの相対距離をそれぞれ同一となるように信号線上の接続点の位置を変更することを特徴とする請求項1に記載の表示装置の駆動回路。

【請求項4】上記接続用配線のシート抵抗はサンプリングゲートの電極部分におけるシート抵抗に対して倍以上の抵抗値を有することを特徴とする請求項2あるいは3に記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、主として液晶表示素子等の表示装置に用いる駆動回路の改良に関する。

【0002】

【従来の技術】図4に従来より使用されているTFTアクティブマトリックス液晶表示装置を示す。この液晶表示装置では従来よりもより小型軽量化を行うと共に、表示ユニットとして一体完結型の部品として供給可能にするために、液晶パネルと駆動回路を同一基板上に構成している。このような技術は特開昭62-148928号公報等に示すまでもなく既に周知の構造で広く採用されているものである。

【0003】図面において基板100上には液晶パネル110とその縦横にゲート駆動回路105、データ駆動回路106を構成している。ゲート駆動回路105はゲートバスライン111へTFT114を制御する信号を出力している。この信号によってTFT114がオンとなった状態のとき、データ駆動回路106よりデータバスライン112に対して供給するデータ信号が絵素となる液晶の容量及び各絵素の付加容量（併せて容量113で表す）に書き込まれ、液晶を駆動制御している。

【0004】前記データ駆動回路106中ではシフトレジスタ107の出力によってサンプリングゲート108

が制御され、サンプリングゲート108がオン状態の際に映像信号線120を通じて外部よりRGBの映像信号が供給され、データバスライン112へ流れ込むことにより、前述のデータ信号を供給している。

【0005】図5及び図6に当該サンプリングゲート108周辺部の断面図と基板上における配線パターンの一例を図示する。

【0006】図5において基板100上にはサンプリングゲート108を構成するTFTの半導体層の下部電極となる多結晶シリコン層122を形成し、パターンニングを行った後ゲート絶縁膜123を形成する。そして前記TFTのゲート電極の上部電極となる多結晶シリコン層124を形成しパターンニングをする。そして所定箇所へイオン注入によるドーピング工程を経た後に全面に層間絶縁膜125を形成し、前記所定箇所へコンタクトホールを開口後金属配線126を形成、パターンニングする。更に第2の層間絶縁膜127を形成することによってサンプリングゲート108及びその周辺部における配線パターンがガラス基板上に形成される。上記構成における複数のサンプリングゲート108のソース電極は、金属配線層126(b)である接続電極200と多結晶シリコン層124(b)である接続用配線210を介して映像信号線120と接続する。

【0007】図6に各サンプリングゲート108における映像信号線120との配線パターンを図示する。図面において、映像信号線120は金属配線層で形成され前述する接続用配線210とコンタクトホール300を介して接続している。接続用配線210はまた複数のコンタクトホール301を介して接続電極200と接続し、複数のコンタクトホール302を介してサンプリングゲート108を構成するTFTのソース電極に接続される。サンプリングゲート108では、多結晶シリコン層124(a)であるシフトレジスタよりの信号線X1～Xnを引き込み、オンオフ制御を行い、複数のコンタクトホール303を介してデータバスライン112に接続する。

【0008】ここでRGBそれぞれの映像信号線120上のコンタクトホール300による接続点と、接続電極200上のコンタクトホール301による接続点の間における接続用配線210の距離L1～L3がそれぞれのサンプリングゲート毎に異なってくることが判る。この接続用配線210は多結晶シリコン層で形成した場合シート抵抗が大きくなり、従ってそれぞれの配線抵抗が大きく異なってしまう。そのため、各サンプリングゲート108をオン状態として映像信号線120より同一映像信号を供給した場合にデータバスライン112へ供給される映像信号レベルが異なってくるため、濃淡が生じる現象となる。この現象は特にモノクロ表示の場合に縦縞として認識されるため、画質が著しく劣化することになる。

10

20

30

40

50

【0009】また、このような欠点は特にソースバスライン112の容量に信号を保持させる点順次方式の駆動を用いた場合、比較的容量の大きいソースバスラインに信号を書き込むために、前記配線抵抗値が異なった場合に両者による時定数の違いが生じ、信号の波形の崩れやタイミングがずれる現象となって現れる。

【0010】

【発明が解決しようとする課題】前記のような配線抵抗の相違によって現れる諸現象を防止するためには、当然配線抵抗を同一にする技術によって防止することができる。例えば特開平5-72563号公報には接続を行う配線パターンの幅と長さを適宜変更して抵抗値を同一にする技術が開示されている。

【0011】前述した本願発明の従来例として提示した図6の図面では、配線長が短いものについては配線の幅を細くしシート抵抗値を上げることによって配線抵抗を均一化して対処している。

【0012】しかしながら、上記配線の幅によって抵抗値を変更する方法は、大画面化及び高精細度化が進行している昨今、超微細配線を行う必要性があり、パターン精度の面から見ても従来のような抵抗値の差をつけることが困難になりつつある。またこれは設計マスクのメッシュサイズの問題もあって物理的な障害が生じている。

【0013】さらに上記問題をクリアした場合においても、少しの配線幅の誤差が即、抵抗値のばらつきにつながることから、配線抵抗の均一化を図ることは、必ずしも容易ではない。また、他の方法として配線長を長くする場合には、それ相応の距離と面積を必要とするために基板上のスペースを占有すると共に、特に配線長を折り返しパターンによって稼ぐ場合には、新たなパターンによって線間容量が生じて特性の変化を生じ、新たなばらつきが生じる欠点もあつた。

【0014】本発明はこのような欠点を解消し、配線抵抗の均一化を簡単な構成でかつ諸特性に影響を与えない駆動回路を提供するものである。

【0015】

【課題を解決するための手段】上記目標を達成するため、この発明の表示装置の駆動回路は、互いに平行に配線が行われた複数の第1の信号線と、互いに平行に配線が行われた複数の第2の信号線とがそれぞれ制御手段を介して接続され、該制御手段は別途第3の信号線によってオンオフ制御をおこなわせしめて相互に接続を行う回路構成において、それぞれの制御手段の接続箇所とそれぞれの信号線における接続箇所の相対距離がそれぞれ同一になる位置で接続構成したことを特徴としている。

【0016】また、上記第1の信号線あるいは第2の信号線が制御手段である複数のサンプリングゲートの電極に接続用配線を介して接続する際、信号線の接続点の位置に合わせてサンプリングゲートの電極上の接続点の位置をそれぞれ距離が同一になるように変更することを特

徴としている。

【0017】さらに上記第1の信号線あるいは第2の信号線が制御手段であるトランジスタ等よりなる複数のサンプリングゲートの電極に接続用配線を介して接続する際、接続用配線を信号線に沿って適宜延長すると共に、サンプリングゲートの電極の接続点からの相対距離を同一となるように信号線上の接続点の位置を変更することを特徴としている。

【0018】これらの接続用配線のシート抵抗は、サンプリングゲートの電極部分におけるシート抵抗に対して倍以上の抵抗値を有することにより上記接続点の位置変更における弊害を無視することも特徴としている。

【0019】

【作用】本発明によれば、接続点間からみた接続距離が同一であるから、従来のように配線抵抗を同一にするためのパターン幅等の変更を一切必要とせず、接続位置の変更のみで対処する技術は、現在の技術水準でも比較的高精度に制御でき、配線抵抗のばらつきをほぼ問題のないレベルまで低減することができる。またこのような変更が安価で容易にできる点も従来技術では実現不可能なものである。

【0020】

【実施例】以下、本発明の一実施例を図1に従って説明する。図面はサンプリングゲート及び映像信号線付近の配線パターン拡大図を示している。この実施例において記載されていない部分の表示装置の作成手順、構造は従来例と同じである。また構造が共通の部分については従来と同一符号を付記している。

【0021】本実施例においてTFTによって構成されたサンプリングゲート108のソース電極の接続電極4と映像信号線120とを接続する接続配線1を構成する多結晶シリコン層(124)はn型にドーピングした450nmの膜厚で形成し、この場合のシート抵抗値は30Ωであった。また映像信号を供給する映像信号線120はA1の金属配線層を用い400nmの膜厚で形成し、この場合のシート抵抗値は0.1Ωであった。

【0022】それぞれのサンプリングゲート108と映像信号線120とを接続する接続用配線1は上記多結晶シリコン層により構成される。この接続用配線1は映像信号線120とはコンタクトホール2を介して接続される。またサンプリングゲート108のソース電極はコンタクトホール3を介して金属配線層によって構成される接続電極4に接続され、さらにコンタクトホール5によって前記接続用配線1と接続される。

【0023】このコンタクトホール5による接続点は例えば6カ所とし、左端のサンプリングゲート側では、映像信号線120の一番下である線120Rへ接続した場合にコンタクトホール5による接続点が接続点間の距離がLとなるよう一番下方になるような位置としている。

【0024】また同様に中央のサンプリングゲート側で

は、映像信号線120の中央である線120Gへ接続した場合に映像信号線120の配線パターン間隔分だけ上方に移動するため、コンタクトホール5による接続点を上記左端の接続点間の距離 $L$ と等しくするために上記配線間隔分上方に移動した位置とする。

【0025】同様に右端のサンプリングゲート側では、映像信号線120の上端である線120Bへ接続した場合に更に映像信号線120の配線パターン間隔分だけ上方に移動するため、コンタクトホール5による接続点を上記左端及び中央の接続点間の距離 $L$ と等しくするために上記配線間隔分上方に移動した位置としている。すなわちこの技術は映像信号線の配線間隔分だけサンプリングゲート側のコンタクトホール5による接続点を移動させることにより距離 $L$ を一定にし、配線抵抗を同一にするものである。

【0026】上記構成によれば、コンタクトホール5のそれぞれの接続位置と接続電極4との位置関係がサンプリングゲート毎に異なるため新たに問題が発生しそうに見受けられる。しかしながら、上記接続電極4を金属配線層によって形成し、そのシート抵抗を接続用配線1を構成するゲート層の $1/300$ 抵抗比とするとコンタクトホール5の位置の変化による接続電極4上における抵抗値のばらつきは事実上無視できるレベルまで抑えることが可能である。

【0027】本発明の他の実施例を図2に示す。図面は図1と同様にサンプリングゲート及び映像信号線付近の配線パターン拡大図を示している。

【0028】先の実施例で提示したサンプリングゲート内でコンタクトホールを映像信号線の配線間隔分だけ移動できない場合には、本実施例が有効となる。すなわち、それぞれのサンプリングゲート108と映像信号線120を接続する接続用配線1は、コンタクトホール2を介して映像信号線120と接続すると共に、コンタクトホール5を介して接続電極4と接続している。そしてこのコンタクトホール2、5による接続点間の距離を同一にするため、映像信号線120上に接続用配線1を延長し、該接続用配線上へコンタクトホール2の接続点の位置を変更することにより対処する。

【0029】すなわち、それぞれのサンプリングゲートにおける接続電極4上のコンタクトホール5は変更なしの状態で、左端のサンプリングゲート側では、映像信号線120の一番下である線120Rへ接続する際に接続用配線1は一番遠い位置にあるためにそのまま垂直に配線され、コンタクトホール2によって映像信号線120Rと直交する位置（コンタクトホール5からの相対距離が $L$ となる位置）でそのまま接続される。

【0030】次に、中央のサンプリングゲートでは、映像信号線120の中央である線120Gへ接続する際に、接続用配線1は映像信号線120に沿って折り曲げ配線され、コンタクトホール2はその折り曲げた先端位

置であってコンタクトホール5からの相対距離が $L$ となる位置において映像信号線120Gと接続される。

【0031】更に、右側のサンプリングゲートでは、映像信号線120の一番上である線120Bへ接続する際に、接続用配線1は映像信号線120に沿って更に長い距離で折り曲げ配線され、コンタクトホール2はその折り曲げた先端位置であってコンタクトホール5からの相対距離が $L$ となる位置において映像信号線120Bと接続される。

【0032】したがって上記それぞれの実施例は、接続点間における接続用配線の距離が全く等しくなるため、配線抵抗の相異を原因とする問題をすべて解決することができる。

【0033】上記の実施例ではサンプリングゲートにおける映像信号線との接続関係について配線抵抗を均一化するための構成を開示したが、この発明はそれだけに限定されるようなものではなく、共通の問題点を抱える他の回路部分についても当然応用が可能である。図3には図4の回路構成図におけるシフトレジスタ107のクロック入力側の配線パターンの一例を示す。ここでは4相のクロック信号によって2系列のシフトレジスタを駆動している。図面はクロック信号を入力するクロックインパルス周辺のレイアウトを示す。

【0034】図示するように各クロック配線500の系統毎にそれぞれのTFT510との距離に差異があるため、従来の配線によれば配線抵抗の差異となり、その違いが2系列のシフトレジスタのサンプリングのタイミングのずれとなって表示ムラを引き起こす原因となっていたが、各TFT510の接続点に対して相対的に同一となる距離でクロック信号線に沿って配線を折り曲げ、その先端に接続点を設ける。このような構成とすることによりそれぞれのシフトレジスタの段毎におけるサンプリングずれを防止することができ、表示品位を改善することができる。

【0035】

【発明の効果】以上のように、本発明によれば接続点の位置のみを変更することによって接続点間からみた接続距離を同一にすることから、従来のように配線抵抗を同一にするためのパターン幅等の変更を一切必要とせず、また配線距離を長く取るためのスペースも必要としない。したがって、パターンのばらつきや浮遊容量の発生に起因する表示品位の低下が見られず、簡単な構造で効果が大きな表示装置の駆動回路を実現することができるものである。

【図面の簡単な説明】

【図1】本発明の表示装置の駆動回路の配線パターンの一実施例を示す平面図。

【図2】本発明の表示装置の駆動回路の配線パターンの他の実施例を示す平面図。

【図3】本発明の表示装置の駆動回路の他の使用例を示

寸平面图。

【図4】 TFTアクティブマトリックス液晶表示装置の主要回路構成図。

【図5】 サンプリングゲート付近における回路基板断面図。

【図6】従来の表示装置の駆動回路の配線パターンの例を示す平面図。

【符号の説明】

## 1 接続用配線

## 2 コンタクトホール

### 3 コンタクトホール

#### 4 接統電極

## 5 コンタクトホール

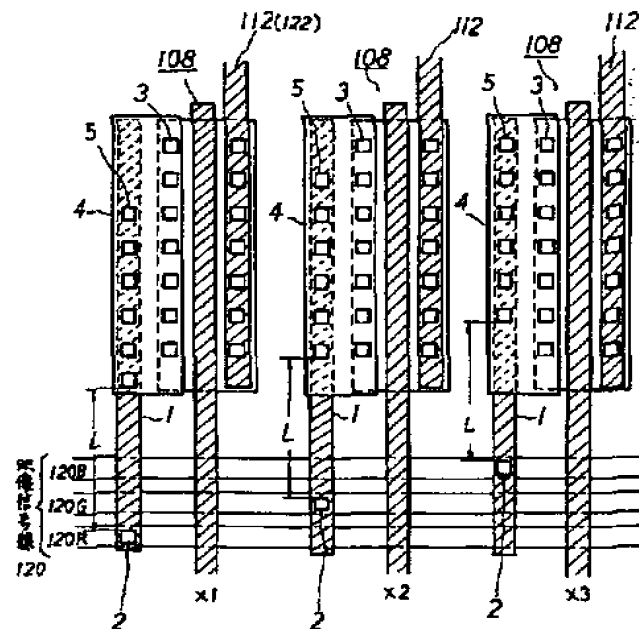
108 サンプリングゲート

112 データバスライン

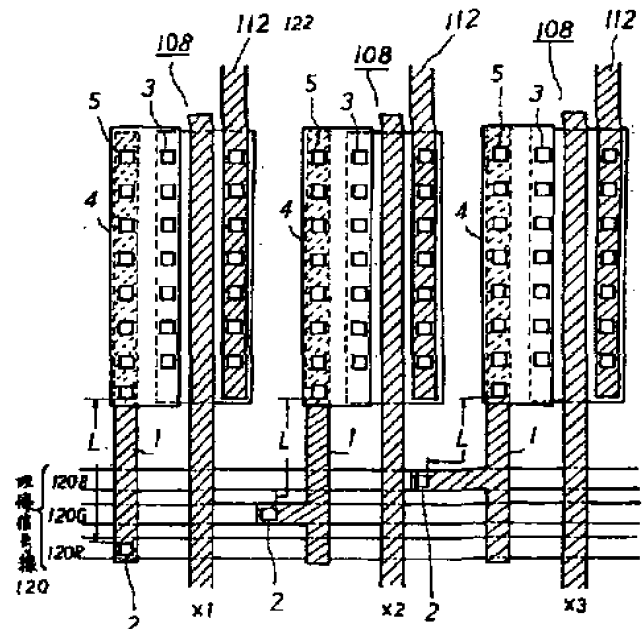
120 映像信号線

**L** 接続点間配線距離

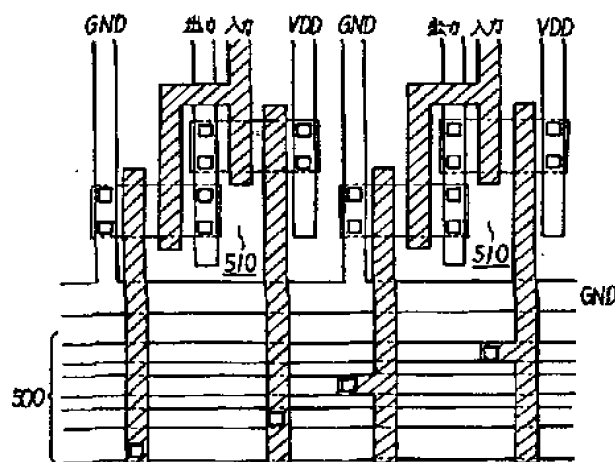
【图 1】



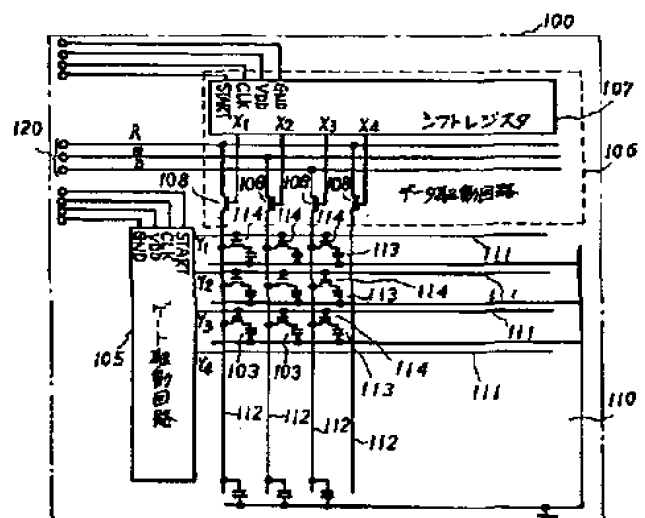
【图 2】



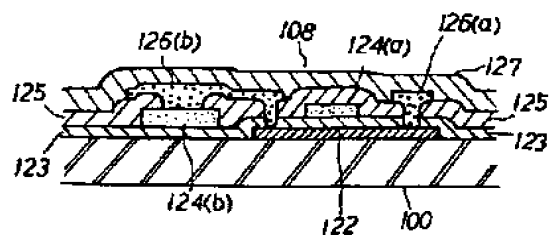
【图 3】



【図 4】



【例 5】



【图 6】

